

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年5月8日 (08.05.2003)

PCT

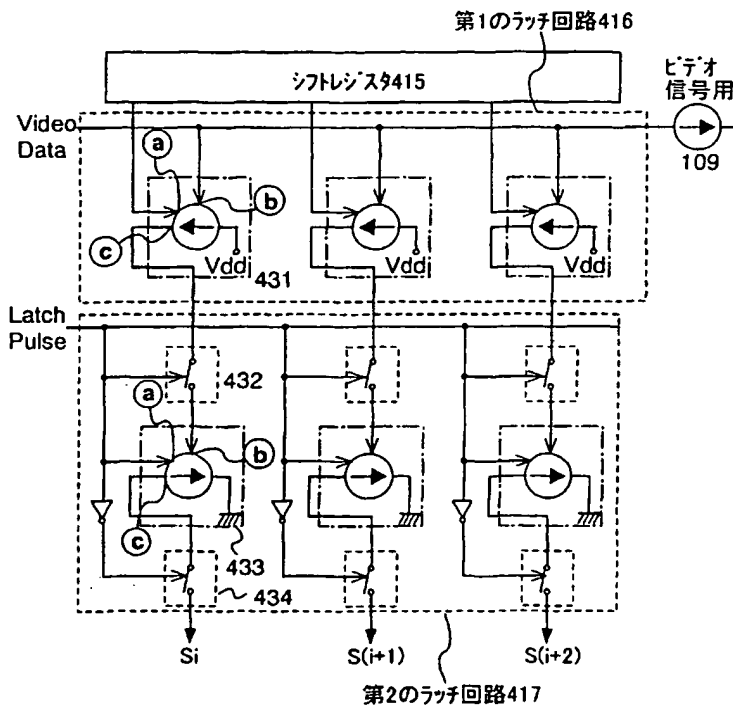
(10) 国際公開番号
WO 03/038796 A1

- (51) 国際特許分類: G09G 3/30, 3/20, G05F 1/10 (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/11354
- (22) 国際出願日: 2002年10月31日 (31.10.2002) (72) 発明者: および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 木村 肇 (KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都新宿区神楽坂6-42 喜多川ビル7階 Tokyo (JP).
- 特願2001-335917 2001年10月31日 (31.10.2001) JP (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, 特願2002-287921 2002年9月30日 (30.09.2002) JP

[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT AND LIGHT EMITTING DEVICE

(54) 発明の名称: 信号線駆動回路及び発光装置



415...SHIFT REGISTER
416...FIRST LATCH CIRCUIT
109...FOR VIDEO SIGNAL
417...SECOND LATCH CIRCUIT

(57) Abstract: A technique for suppressing affect of irregularities of transistor characteristics in a signal line drive circuit. The signal line drive circuit includes a first current source circuit (431) arranged in a first latch (416) and a second current source circuit (432) arranged in a second latch (417), so as to correspond to each of signal lines. The first current source circuit has capacity means for converting the video signal current supplied from a video signal constant current source (109) into voltage according to the sampling pulse supplied from the shift register (415) and supply means for supplying current based on the converted voltage. The second current source circuit has capacity means for converting current supplied from the first latch into voltage and supply means for supplying current based on the converted voltage. Thus, current output is performed according to a video signal, not depending on the transistor characteristic.

[続葉有]



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特

許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、信号線駆動回路におけるトランジスタの特性のばらつきの影響を抑制する技術に関する。信号線駆動回路には、複数の信号線の各々に対応して、第1ラッチ(416)に配置される第1電流源回路(431)、第2ラッチ(417)に配置される第2電流源回路(432)を設ける。前記第1電流源回路は、シフトレジスタ(415)から供給されるサンプリングパルスに従って、ビデオ信号用定電流源(109)から供給されたビデオ信号用電流を電圧に変換する容量手段と、変換された電圧に応じた電流を供給する供給手段を有し、前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、トランジスタの特性によらず、ビデオ信号に応じた電流出力を行うことを特徴とする。

明 細 書

信号線駆動回路及び発光装置

5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。
- 15

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者のデジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。
- 20

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(A)を用いて簡単に説明する。図16(A)に示した画素
5 は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・
10 ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16(A)に示した画素
15 において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右され
20 ずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(B)、17を用いて簡単に説明する。図16(B)に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、T
25 TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。

図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。
図17中、各部を示す図番は、図16に準ずる。図17(A)～(C)は、電流の
経路を模式的に示している。図17(D)は、ビデオ信号の書き込み時における各
経路を流れる電流の関係を示し、図17(E)は、同じくビデオ信号の書き込み時
5 に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧
を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、
607がオンする。このとき、信号線601を流れる電流は信号電流を I_{data} と表
記する。信号線601には、信号電流 I_{data} が流れているので、図17(A)に示
10 すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関
係を図17(D)に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されてい
ないため、TFT608はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ とな
る。この間は、容量素子610の両電極間に電流が流れて、該容量素子610にお
15 いて電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める
(図17(E))。両電極の電位差が V_{th} となると(図17(E)、A点)、TFT6
08がオンして、 I_2 が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、
 I_1 は次第に減少するが、依然電流は流れており、容量素子610にはさらに電荷
20 の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソー
ス間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608が I_{data}
の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の
蓄積が終了する(図17(E)、B点)と、電流 I_1 は流れなくなる。また、TFT
25 608は完全にオンしているので、 $I_{data} = I_2$ となる(図17(B))。以上の動
作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の走

査線 602、603 の選択が終了し、TFT606、607 がオフする。

続いて、第3の走査線 604 にパルスが入力され、TFT609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT608 はオンしており、電流線 605 から I data に等しい電流が流れる。これにより発光素子 611 が発光する。このとき、TFT608 が飽和領域において動作するようにしておけば、TFT608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I EL は変わりなく流れる。

このように電流入力方式とは、TFT609 のドレイン電流が電流源回路 612 で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に
10 応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタ
15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555 ~ 558 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なっており、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 L (ゲート長) / W (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$ 段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、
20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

ィブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-1

4

〔非特許文献2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

発明の開示

上述した電流源回路612は、 L/W 値を設計することによって、トランジスタの
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555
～558は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ
が生じてしまう。そのため、トランジスタ555～558のオン電流を設計通りに
正確に1:2:4:8にすることは困難である。つまり列によって、画素に供給す
15 る電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提
25 供する。

本発明は、TFTの特性バラツキの影響を抑制した所望の一定電流を流す電気回

路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

そして本発明の信号線駆動回路では、ビデオ信号用定電流源を用いて、各信号線に配置された電流源回路に信号電流を設定する。信号電流が設定された電流源回路では、ビデオ信号用定電流源に比例した電流を流す能力を有する。そのため、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することが出来る。

10 よい。

この場合には、ビデオ信号用電流として、基板の外部から信号線駆動回路に一定の電流、もしくは、ビデオ信号に応じた電流が供給される。

本発明の信号線駆動回路の概略について図 1 を用いて説明する。図 1 には、 i 列目から $(i + 2)$ 列目の 3 本の信号線にかかる周辺の信号線駆動回路が示されている。

図1において、信号線駆動回路403には、各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子aからは、設定信号が入力される。端子bへは、電流線に接続されたビデオ信号用定電流源109から電流（信号電流）が供給される。また端子cからは、電流源回路420に保持された信号を、スイッチ101を介して出力する。つまり電流源回路420は、端子aから入力される設定信号により制御され、端子bからは供給される信号電流が入力され、該信号電流に比例した電流を端子cより出力する。なおスイッチ101は、電流源回路420と信号線に接続された画素との間や、互いに異なる列に配置された複数の電流源回路420の間などに設けられ、前記スイッチ101のオン又はオフは、ラッチパルスにより制御される。

なお、電流源回路４２０に対して信号電流の書き込みを終了させる動作（信号電

流を設定する動作、信号電流によって信号電流に比例した電流を出力できるように設定する動作、電流源回路420が信号電流を出力できるように定める動作)を設定動作と呼び、信号電流を画素や別の電流源回路に入力する動作(電流源回路420が信号電流を出力する動作)を入力動作と呼ぶ。図2において、第1電流源回路
5 421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。これにより各列では、同時に2つの動作を行うことが出来る。

本発明では、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板と
10 カバー材との間に封入されたパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。

本発明は、複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びビデオ信号用定電流源を有する信号線駆動回路であって、
15 前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチに配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記ビデオ信号用定電流源から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、
20 前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする。

本発明は、複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源(nは1以上の自然数)を有する信号
25 線駆動回路であって、

前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチ

に配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記n個のビデオ信号用定電流源の各々から供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供

5 給手段を有し、

前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする。

本発明は、複数の信号線の各々に対応した $2 \times n$ 個の電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源（nは1以上の自然数）を有する信号線駆動回路であって、

前記 $2 \times n$ 個の電流源回路のうち、n個の電流源回路が第1及び第2ラッチの各々に配置され、

前記第1ラッチに配置されたn個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記n個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

20 前記第2ラッチに配置されたn個の電流源回路は、ラッチパルスに従って、前記第1ラッチから供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記複数の信号線には、前記第2ラッチに配置されたn個の電流源回路の各々から供給される電流を加算した電流が供給され、

25 前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする。

本発明は、複数の信号線の各々に対応した $(n+m)$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源 (n は 1 以上の自然数、 $n \geq m$) を有する信号線駆動回路であって、

- 前記 $(n+m)$ 個の電流源回路のうち、 n 個の電流源回路が第 1 ラッチに配置され、
5 m 個の電流源回路が第 2 ラッチに配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 10 前記第 2 ラッチに配置された m 個の電流源回路は、ラッチパルスに従って、前記第 1 ラッチに配置された n 個の電流源回路の各々から供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^{n-1}$ に設定されることを特徴とする。
15

- 本発明の信号線駆動回路には、各々が電流源回路を具備した第 1 及び第 2 のラッチが配置される。供給手段及び容量手段を有する電流源回路は、構成するトランジスタの特性バラツキの影響を受けることなく、所定の値の電流を供給することができる。また第 1 ラッチに配置された電流源回路はシフトレジスタから供給されるサンプリングパルスによって制御され、第 2 ラッチに配置された電流源回路は外部から供給されるラッチパルスによって制御される。つまり、第 1 及び第 2 ラッチに配置された電流源回路では、互いに異なる信号により制御されるため、供給された電流を電圧に変換する動作に時間をかけて正確に行うことができる。
20

- また本発明の信号線駆動回路は、アナログ階調方式及びデジタル階調方式の両者に適用することが可能である。
25

本発明では、TFT は、通常の単結晶を用いたトランジスタや、SOI を用いたトラ

ンジスタ、有機トランジスタなどに置き換えて適用することができる。

本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、T F Tの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するT F Tの特性バラツキの影響を抑制し、また
5 た所望の信号電流 I_{data} を発光素子に供給することができる発光装置を提供する。

図面の簡単な説明

- 図 1 は、信号線駆動回路の図。
- 図 2 は、信号線駆動回路の図。
- 10 図 3 は、信号線駆動回路の図（1ビット、2ビット）。
- 図 4 は、信号線駆動回路の図（1ビット）。
- 図 5 は、信号線駆動回路の図（2ビット）。
- 図 6 は、電流源回路の回路図。
- 図 7 は、電流源回路の回路図。
- 15 図 8 は、電流源回路の回路図。
- 図 9 は、ビデオ信号用定電流源の回路図。
- 図 10 は、ビデオ信号用定電流源の回路図。
- 図 11 は、発光装置の図。
- 図 12 は、発光装置の外観を示す図。
- 20 図 13 は、発光装置の画素の回路図。
- 図 14 は、本発明の駆動方法を説明する図。
- 図 15 は、本発明の発光装置を示す図。
- 図 16 は、発光装置の画素の回路図。
- 図 17 は、発光装置の画素の動作を説明する図。
- 25 図 18 は、電流源回路の図。
- 図 19 は、電流源回路の動作を説明する図。

- 図 2 0 は、電流源回路の動作を説明する図。
- 図 2 1 は、電流源回路の動作を説明する図。
- 図 2 2 は、本発明が適用される電子機器を示す図。
- 図 2 3 は、信号線駆動回路の図（3 ビット）。
- 5 図 2 4 は、信号線駆動回路の図（3 ビット）。
- 図 2 5 は、ビデオ信号用定電流源の回路図。
- 図 2 6 は、ビデオ信号用定電流源の回路図。
- 図 2 7 は、ビデオ信号用定電流源の回路図。
- 図 2 8 は、電流源回路の回路図。
- 10 図 2 9 は、電流源回路の回路図。
- 図 3 0 は、電流源回路の回路図。
- 図 3 1 は、電流源回路の回路図。
- 図 3 2 は、電流源回路の回路図。
- 図 3 3 は、電流源回路の回路図。
- 15 図 3 4 は、信号線駆動回路の図。
- 図 3 5 は、信号線駆動回路の図。
- 図 3 6 は、信号線駆動回路の図。
- 図 3 7 は、信号線駆動回路の図。
- 図 3 8 は、信号線駆動回路の図。
- 20 図 3 9 は、信号線駆動回路の図。
- 図 4 0 は、信号線駆動回路の図。
- 図 4 1 は、ビデオ信号用定電流源の回路図。
- 図 4 2 は、ビデオ信号用定電流源の回路図。
- 図 4 3 は、ビデオ信号用定電流源の回路図。
- 25 図 4 4 は、ビデオ信号用定電流源の回路図。
- 図 4 5 は、電流源回路のレイアウト図。

図 4 6 は、電流源回路の回路図。

発明を実施するための最良の形態

(実施の形態 1)

- 5 本実施の形態では、本発明の信号線駆動回路に具備される電流源回路 4 2 0 の回路構成とその動作の例について説明する。

本発明では端子 a から入力される設定信号とはシフトレジスタから出力されるサンプリングパルス又はラッチパルスを示す。つまり図 1 における設定信号とは、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。

- 10 そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路 4 2 0 の設定動作を行う。

- 本発明の信号線駆動回路は、シフトレジスタ、第 1 のラッチ回路及び第 2 のラッチ回路を有する。そして第 1 のラッチ回路及び第 2 のラッチ回路は、それぞれ電流源回路を有する。つまり第 1 のラッチ回路が有する電流源回路の端子 a には、設定
- 15 信号としてシフトレジスタから出力されるサンプリングパルスが入力される。そして第 2 のラッチ回路が有する電流源回路の端子 a には、設定信号としてラッチパルスが入力される。

- 第 1 のラッチ回路では、シフトレジスタから出力されるサンプリングパルスに同期して、ビデオ線（Video data 線）から電流（信号電流）を取り込んで、該第 1 の
- 20 ラッチ回路が有する電流源回路で設定動作を行う。そしてラッチパルスに同期して第 1 のラッチ回路で記憶されている信号電流を第 2 のラッチ回路に出力する。このとき、第 2 のラッチ回路では、第 1 のラッチ回路から出力される電流（信号電流）を取り込んで、該第 2 のラッチ回路が有する電流源回路で設定動作を行う。その後、第 2 のラッチ回路で記憶されている信号電流は、信号線を介して画素に出力される。
- 25 つまり、第 1 のラッチ回路の電流源回路が設定動作を行っているとき、同時に、第 2 のラッチの電流源回路は、画素へ信号電流を出力する動作、つまり入力動作を

行っている。そして、ラッチパルスに同期して、第1のラッチの電流源回路が入力動作を行い、つまり、第1のラッチは第2のラッチへ電流を出力する動作を行い、同時に、第2のラッチの電流源回路は、第1のラッチから出力された電流を用いて、設定動作を行う。このように、各列で電流源回路の設定動作と入力動作を同時に行うことができるため、設定動作に時間をかけて、正確に行うことができる。なお、ビデオ線（video data 線）から供給される信号電流は、ビデオ信号に依存した大きさを持っている。したがって、画素へ供給される電流は、信号電流に比例した大きさであるため、画像（階調）を表現することが可能となる。

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6（A）において、スイッチ104、105a、116と、トランジスタ102（nチャネル型）と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ104、スイッチ105aがオンとなる。第1のラッチ回路が有する電流源回路は、電流線（ビデオ線）に接続されたビデオ信号用定電流源109（以下定電流源109と表記）から端子bを介して電流が供給され、容量素子103に電荷が保持される。そして定電流源109から流される電流がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

また第2のラッチ回路が有する電流源回路は、第1のラッチ回路が有する電流源回路から、端子bを介して電流が供給され、容量素子103に電荷が保持される。そして、第1のラッチ回路が有する電流源回路から流される電流（信号電流I_{data}）がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

次いで、端子 a を介して入力される信号により、スイッチ 104、スイッチ 105 a をオフにする。そうすると、容量素子 103 に所定の電荷が保持されているため、トランジスタ 102 は、信号電流 I_{data} に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101、スイッチ 116 が導通状態になると、

5 第 1 のラッチ回路が有する電流源回路では、端子 c を介して第 2 のラッチ回路が有する電流源回路に電流が流される。このとき、トランジスタ 102 のゲート電圧は、容量素子 103 により所定のゲート電圧に維持されているため、トランジスタ 102 のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。

また第 2 のラッチ回路が有する電流源回路では、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 102 のゲート電圧は、容量素子 103 により所定のゲート電圧に維持されているため、トランジスタ 102 のドレイン領域には第 1 のラッチ回路から出力された電流（信号電流 I_{data} ）に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御できる。

10

なおスイッチ 104 及びスイッチ 105 a の接続構成は図 6 (A) に示す構成に限定されない。例えば、スイッチ 104 の一方を端子 b に接続し、他方をトランジスタ 102 のゲート電極の間に接続し、更にスイッチ 105 a の一方をスイッチ 104 を介して端子 b に接続して、他方をスイッチ 116 に接続する構成でもよい。そしてスイッチ 104 及びスイッチ 105 a は、端子 a から入力される信号により

15

20 制御される。

或いは、スイッチ 102 は端子 b とトランジスタ 104 のゲート電極の間に配置し、スイッチ 105 a は端子 b とスイッチ 116 の間に配置してもよい。つまり、図 28 (A) を参照すると、設定動作時には図 28 (A1) のように接続され、入力動作時には図 28 (A2) のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数及びその接続は特に限定されない。

25

なお図 6 (A) に示す電流源回路 420 では、信号を設定する動作（設定動作）

と、信号を画素や電流源回路に入力する動作（入力動作）、つまり電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6（B）において、スイッチ124、スイッチ125と、トランジスタ122（nチャネル型）と、該トランジスタ122のゲート・ソース間電圧VGSを保持する容量素子123と、とトランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

電流源回路420では、端子aを介して入力される信号によってスイッチ124、
10 スwitch125がオンとなる。そうすると、第1のラッチ回路が有する電流源回路では、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子123に電荷が保持される。そして定電流源109から流される信号電流I dataがトランジスタ122のドレイン電流と等しくなるまで、容量素子123に電荷が保持される。なおスイッチ124がオンとなると、トランジスタ126のゲ
15 ート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

また第2のラッチ回路が有する電流源回路では、第1のラッチ回路から、端子bを介して電流（信号電流I data）が供給され、容量素子123に電荷が保持される。そして、第1のラッチ回路から流される電流（信号電流I data）が、トランジスタ122のドレイン電流と等しくなるまで、容量素子123に電荷が保持される。な
20 おスイッチ124がオンになると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

次いで、スイッチ124、スイッチ125をオフにする。そうすると、容量素子123に所定の電荷が保持されているため、第1のラッチ回路が有する電流源回路のトランジスタ122は、信号電流I dataに応じた大きさの電流を流す能力をもつ
25 ことになる。そして仮にスイッチ101が導通状態になると、端子cを介して第2のラッチ回路が有する電流源回路に電流が流される。このとき、トランジスタ12

2のゲート電圧は、容量素子123により所定のゲート電圧に維持されているため、トランジスタ122のドレイン領域には信号電流I dataに応じたドレイン電流が流れる。

また第2のラッチ回路が有する電流源回路のトランジスタ122は、第1のラッチ回路が有する電流源回路から出力された電流（信号電流I data）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ122のゲート電圧は、容量素子123により所定のゲート電圧に維持されているため、トランジスタ122のドレイン領域には電流（信号電流I data）に応じたドレイン電流が流れる。

なおスイッチ124、125がオフすると、トランジスタ126のゲートとソースは同電位ではなくなる。その結果、容量素子123に保持された電荷がトランジスタ126の方にも分配され、トランジスタ126が自動的にオンになる。ここで、トランジスタ122、126は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ122、126はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bと定電流源109との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なおスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図28（B）を参照すると、設定動作時には図28（B1）のように接続され、入力動作時には図28（B2）のように接続されるように、配線やスイッチを配置するとよい。特に、図28（B2）においては、容量素子123に貯まった電荷が漏れないようになっていけばよい。

なお図6（B）に示す電流源回路420では、信号を設定する動作（設定動作）

と、信号を画素や電流源回路に入力する動作（入力動作）、つまり、電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6（C）において、スイッチ108、スイッチ110、トランジスタ105b、106（nチャネル型）、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ108、スイッチ110がオンとなる。そうすると第1のラッチ回路が有する電流源回路では、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子107に電荷が保持される。そして定電流源109から流される信号電流I dataがトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧が、容量素子107によって保持されている。

また第2のラッチ回路が有する電流源回路では、第1のラッチ回路が有する電流源回路から、端子bを介して電流が供給され、容量素子107に電荷が保持される。そして第1のラッチ回路が有する電流源回路から流される電流（信号電流I data）がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧が、容量素子107によって保持されている。

次いで、スイッチ108、スイッチ110をオフにする。そうすると、第1のラッチ回路が有する電流源回路では、容量素子107に所定の電荷が保持されるため、トランジスタ106は、信号電流I dataに応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して第2のラッチ回路が有する電流源回路に電流が流される。このとき、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に維持されているため、

トランジスタ 106 のドレイン領域には電流（信号電流 I data）に応じたドレイン電流が流れる。

- また第 2 のラッチ回路が有する電流源回路では、容量素子 107 に第 1 のラッチ回路から出力された電流（信号電流 I data）が保持されるため、トランジスタ 106 は、電流（信号電流 I data）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 106 のゲート電圧は、容量素子 107 により所定のゲート電圧に維持されているため、トランジスタ 106 のドレイン領域には電流（信号電流 I data）に応じたドレイン電流が流れる。そのため、
- 10 信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御することが出来る。

- このとき、トランジスタ 106 のドレイン領域に、信号電流 I data に応じたドレイン電流を正確に流すためには、トランジスタ 105 b 及びトランジスタ 106 の特性が同じであることが必要となる。より詳しくは、トランジスタ 105 b 及びトランジスタ 106 の移動度、しきい値などの値が同じであることが必要となる。また図 6（C）では、トランジスタ 105 b 及びトランジスタ 106 の W（ゲート幅）/L（ゲート長）の値を任意に設定して、定電流源 109 などから供給される信号電流 I data に比例した電流を画素などに供給するようにしてもよい。
- 15

- またトランジスタ 105 b において、定電流源 109 に接続されたトランジスタの W/L を大きく設定することで、該定電流源 109 から大電流を供給して、書き込み速度を早くすることが出来る。
- 20

なお図 6（C）に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に inputs する動作（入力動作）を同時に行うことが出来る。

- そして図 6（D）（E）に示す電流源回路 420 は、図 6（C）に示す電流源回路 420 とスイッチ 110 の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図 6（D）（E）に示す電流源回路 420 の動作は、
- 25

図6 (C) に示す電流源回路420の動作と同じであるので、本実施の形態では説明を省略する。

なおスイッチの個数、配線の本数やその接続構成は特に限定されない。つまり、図28 (C) を参照すると、設定動作時には図28 (C1) のように接続され、入力動作時には図28 (C2) のように接続されるように、配線やスイッチを配置するとよい。特に、図28 (C2) においては、容量素子107に貯まった電荷が漏れないようになっていけばよい。

図29 (A) において、スイッチ195b、195c、195d、195f、トランジスタ195a、容量素子195eを有する回路が電流源回路に相当する。図29 (A) に示す電流源回路では、端子aを介して入力される信号によりスイッチ195b、195c、195d、195fがオンになる。そうすると、端子bを介して、電流線に接続された定電流源109から電流が供給され、定電流源109から供給される信号電流とトランジスタ195aのドレイン電流が等しくなるまで、容量素子195eに所定の電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ195b、195c、195d、fがオフになる。このとき、容量素子195eには所定の電荷が保持されているため、トランジスタ195aは信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ195aのゲート電圧は、容量素子195eにより所定のゲート電圧に設定されており、該トランジスタ195aのドレイン領域には電流（ビデオ信号用電流）に応じたドレイン電流が流れるためである。この状態において、端子cを介して外部に電流が供給される。なお図29 (A) に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。なお端子aを介して入力される信号により制御されるスイッチがオンであり、且つ端子cから電流が流れないようにしているときは、端子cと他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、 V_a とする。 V_a は、端子bから流れ

てくる電流をそのまま流せるような電位であればよく、一例としては、電源電圧 Vdd などであり。

なおスイッチの個数、配線の本数及びその接続構成は特に限定されない。つまり、図 29 (B) (C) を参照すると、設定動作時には (B1) (C1) のように接続され、
5 入力動作時には (B2) (C2) のように接続されるように、配線やスイッチを配置するとよい。

また図 6 (A)、図 6 (C) ~ (E) において、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、トランジスタ 102、トランジスタ 105b、トランジスタ 106 の極性 (導電型) を p チャネル型にすることも可能である。
10

そこで図 7 (A) には、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、図 6 (A) に示すトランジスタ 102 を p チャネル型にしたときの回路構成を示す。図 7 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。
15 図 7 (B) ~ (D) には、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、図 6 (C) ~ (E) に示すトランジスタ 105b、トランジスタ 106 を p チャネル型にした回路図を示す。

また、図 30 (A) には、図 29 に示した構成において、トランジスタ 195a を p チャネル型にした場合を示す。また図 30 (B) には、図 6 (B) に示した構成において、トランジスタ 122、126 を p チャネル型にした場合を示す。
20

図 32 において、スイッチ 104、116、トランジスタ 102、容量素子 103 などを有する回路が電流源回路に相当する。

図 32 (A) は、図 6 (A) の一部を変更した回路に相当する。図 32 (A) に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅 W が異なる。つまり、設定動作時には、図 32 (B) のように接続され、
25 ゲート幅 W が大きい。入力動作時には、図 32 (C) のように接続され、ゲート

幅 W が小さい。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とビデオ信号用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なお、図 3 2 では、図 6 (A) の一部を変更した回路について示した。しかし、図 6 のほかの回路や図 7、図 2 9、図 3 1、図 3 0 などの回路にも、容易に適用できる。

なお上記の電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかし電流は、画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。なお、電流が画素から信号線駆動回路の方向へ流れるか、又は電流が信号線駆動回路から画素の方向へ流れるかは、画素の回路構成に依存する。そして電流が信号線駆動回路から画素の方向へ流れる場合には、図 6 に示す回路図において、 V_{ss} （低電位電源）を V_{dd} （高電位電源）とし、更にトランジスタ 1 0 2、トランジスタ 1 0 5 b、トランジスタ 1 0 6、トランジスタ 1 2 2 及びトランジスタ 1 2 6 を p チャネル型とすればよい。また図 7 に示す回路図において、 V_{ss} を V_{dd} とし、更にトランジスタ 1 0 2、トランジスタ 1 0 5 b 及びトランジスタ 1 0 6 を n チャネル型とすればよい。

但し、設定動作時には図 3 1 (A 1) ~ (D 1) のように接続され、入力動作時には図 3 1 (A 2) ~ (D 2) のように接続されるように、配線やスイッチを配置するとよい。スイッチの個数、配線の本数及びその接続構成は特に限定されない。

なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

以下には、図 6、7 を用いて説明した電流源回路のうち、図 6 (A) 及び図 7 (A)、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について詳しく説明する。まず、図 6 (A) 及び図 7 (A) の電流源回路の動作について図 1 9 を用

いて説明する。

図19(A)～図19(C)は、電流が回路素子間を流れていく経路を模式的に示している。図19(D)は、信号電流 I data を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図19(E)は、信号電流 I data を電流源回路に書き込むときに容量素子16に蓄積される電圧、つまりトランジスタ15のゲート・ソース間電圧と時間の関係を示している。また図19(A)～図19(C)に示す回路図において、11はビデオ信号用定電流源、スイッチ12～スイッチ14はスイッチング機能を有する半導体素子、15はトランジスタ(nチャネル型)、16は容量素子、17は画素である。本実施の形態では、スイッチ14と、トランジスタ15と、容量素子16とが電流源回路20に相当する電気回路とする。なお図19(A)には引き出し線と符号が付いており、図19(B)、(C)において引き出し線と符号は図19(A)に準ずるので図示は省略する。なお本明細書では、第1のラッチ回路が有する電流源回路のビデオ信号用定電流源11から電流が供給され、第2のラッチ回路が有する電流源回路が信号線に接続された画素に電流を流す。しかしここでは、説明を簡単にするために、ビデオ信号用定電流源11から電流が供給されて、信号線に接続された画素に電流を供給する電流源回路について説明する。

nチャネル型のトランジスタ15のソース領域はVssに接続され、ドレイン領域はビデオ信号用定電流源11に接続されている。そして容量素子16の一方の電極はVss(トランジスタ15のソース)に接続され、他方の電極はスイッチ14(トランジスタ15のゲート)に接続されている。容量素子16は、トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

画素17は、発光素子やトランジスタなどにより構成される。発光素子は、陽極と陰極と、該陽極と該陰極との間に挟まれた発光層を有する。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。また発光層には、公知の発光材料を用いて作製す

ることが出来る。発光層には、単層構造と積層構造の二つの構造があるが、本発明は公知のどのような構造を用いてもよい。発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらか一方、又は両方の発光を用いた発光装置にも適用できる。また発光層は、有機材料や無機材料などの公知の材料から構成される。

なお実際には、電流源回路 20 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 20 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 19 は、ビデオ信号用定電流源 11、電流源回路 20 及び画素 17 との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

まず電流源回路 20 が信号電流 I_{data} を保持する動作（設定動作）を図 19 (A)、(B) を用いて説明する。図 19 (A) において、スイッチ 12、スイッチ 14 がオンとなり、スイッチ 13 はオフとなる。この状態において、ビデオ信号用定電流源 11 から信号電流 I_{data} が出力され、ビデオ信号用定電流源 11 から電流源回路 20 の方向に電流が流れていく。このとき、ビデオ信号用定電流源 11 からは信号電流 I_{data} が流れているので、図 19 (A) に示すように電流源回路 20 内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 19 (D) に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

ビデオ信号用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電位差が生じはじめる（図 19 (E)）。両電極間の電位差が V_{th} になると（図 19 (E) A 点）、トランジスタ 15 がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容

量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 19 (E) B 点)、電流 I_2 は流れなくなり、さらにトランジスタ 15 は完全にオンしているので、 $I_{data} = I_2$ となる (図 19 (B))。

次いで、画素に信号電流 I_{data} を入力する動作 (入力動作) を図 19 (C) を用いて説明する。画素に信号電流 I_{data} を入力するときには、スイッチ 13 をオンにしてスイッチ 12 及びスイッチ 14 をオフにする。容量素子 16 には前述した動作において書き込まれた V_{GS} が保持されているため、トランジスタ 15 はオンしており、信号電流 I_{data} に等しい電流が、スイッチ 13 及びトランジスタ 15 を介して V_{ss} の方向に流れて、画素への信号電流 I_{data} の入力が完了する。このとき、トランジスタ 15 を飽和領域において動作するようにしておけば、トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

図 19 に示す電流源回路 20 では、図 19 (A) ~ 図 19 (C) に示すように、まず電流源回路 20 に対して信号電流 I_{data} の書き込みを終了させる動作 (設定動作、図 19 (A)、(B) に相当) と、画素に信号電流 I_{data} を入力する動作 (入力動作、図 19 (C) に相当) に分けられる。そして画素では入力された信号電流 I_{data} に基づき、発光素子への電流の供給が行われる。

図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも 2 つの電流源回路を設けることが好ましい。但し、信号電流 I_{data} を画素に入力していない期間内に、設定動作を行うことが可能であるならば、

信号線ごとに（各列に）１つの電流源回路を設けるだけでもよい。

また図１９（Ａ）～図１９（Ｃ）に示した電流源回路２０のトランジスタ１５は
nチャネル型であったが、勿論電流源回路２０のトランジスタ１５をpチャネル型
としてもよい。ここで、トランジスタ１５がpチャネル型の場合の回路図を図１９
5 （Ｆ）に示す。図１９（Ｆ）において、３１はビデオ信号用定電流源、スイッチ３
２～スイッチ３４はスイッチング機能を有する半導体素子（トランジスタ）、３５
はトランジスタ（pチャネル型）、３６は容量素子、３７は画素である。本実施の
形態では、スイッチ３４と、トランジスタ３５と、容量素子３６とが電流源回路２
４に相当する電気回路とする。

10 トランジスタ３５はpチャネル型であり、トランジスタ３５のソース領域及びド
レイン領域は、一方はVddに接続され、他方は定電流源３１に接続されている。そ
して容量素子３６の一方の電極はVddに接続され、他方の電極はスイッチ３６に接
続されている。容量素子３６は、トランジスタ３５のゲート・ソース間電圧を保持
する役目を担う。

15 図１９（Ｆ）に示す電流源回路２４の動作は、電流の流れる方向が異なる以外は、
上記の電流源回路２０と同じ動作を行うのでここでは説明を省略する。なお電流の
流れる方向を変更せずに、トランジスタ１５の極性を変更した電流源回路を設計す
る場合には、図７（Ａ）に示す回路図を参考にすればよい。

なお図３３において、電流の流れる方向は図１９（Ｆ）と同じで、トランジスタ
20 ３５をnチャネル型にしている。容量素子３６は、トランジスタ３５のゲート・ソ
ース間に接続する。ソースの電位は設定動作時と、入力動作時とで異なる。しかし、
ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に
動作する。

続いて、図６（Ｃ）～（Ｅ）及び図７（Ｂ）～（Ｄ）の電流源回路の動作につい
25 て図２０、２１を用いて説明する。図２０（Ａ）～図２０（Ｃ）は、電流が回路素
子間を流れていく経路を模式的に示している。図２０（Ｄ）は、信号電流 I data を

- 電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 20 (E) は、信号電流 I_{data} を電流源回路に書き込むときに容量素子 46 に蓄積される電圧、つまりトランジスタ 43、44 のゲート・ソース間電圧と時間の関係を示している。また図 20 (A) ~ 図 20 (C) に示す回路図において、41 はビデオ信号用定電流源、スイッチ 42 はスイッチング機能を有する半導体素子、43、44 はトランジスタ (n チャネル型)、46 は容量素子、47 は画素である。本実施の形態では、スイッチ 42 と、トランジスタ 43、44 と、容量素子 46 とが電流源回路 25 に相当する電気回路とする。なお図 20 (A) には引き出し線と符号が付いており、図 20 (B)、(C) において引き出し線と符号は図 20 (A) に準ずるので図示は省略する。なお本明細書では、第 1 のラッチ回路が有する電流源回路のビデオ信号用定電流源 41 から電流が供給され、第 2 のラッチ回路が有する電流源回路が信号線に接続された画素に電流を流す。しかしここでは、説明を簡単にするために、ビデオ信号用定電流源 41 から電流が供給されて、信号線に接続された画素に電流を供給する電流源回路について説明する。
- 15 n チャネル型のトランジスタ 43 のソース領域は V_{ss} に接続され、ドレイン領域は定電流源 41 に接続されている。n チャネル型のトランジスタ 44 のソース領域は V_{ss} に接続され、ドレイン領域は画素 47 の端子 48 に接続されている。そして容量素子 46 の一方の電極は V_{ss} (トランジスタ 43 及び 44 のソース) に接続され、他方の電極はトランジスタ 43 及びトランジスタ 44 のゲート電極に接続されている。容量素子 46 は、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧を保持する役目を担う。
- 20

なお実際には、電流源回路 25 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 25 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 20 は、ビデオ信号用定電流源 41、電流源回路 25 及び画素 47 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

25

図20の電流源回路25では、トランジスタ43及びトランジスタ44のサイズが重要となる。そこでトランジスタ43及びトランジスタ44のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図20(A)～図20(C)において、トランジスタ43及びトランジスタ44のサイズが同じ場合には、信号電流 I_{data} を用いて説明する。そしてトランジスタ43及びトランジスタ44のサイズが異なる場合には、信号電流 I_{data1} と信号電流 I_{data2} を用いて説明する。なおトランジスタ43及びトランジスタ44のサイズは、それぞれのトランジスタの W (ゲート幅) / L (ゲート長) の値を用いて判断される。

最初に、トランジスタ43及びトランジスタ44のサイズが同じ場合について説明する。そしてまず信号電流 I_{data} を電流源回路20に保持する動作を図20(A)、(B)を用いて説明する。図20(A)において、スイッチ42がオンになると、ビデオ信号用定電流源41で信号電流 I_{data} が設定され、定電流源41から電流源回路25の方向に電流が流れていく。このとき、ビデオ信号用定電流源41からは信号電流 I_{data} が流れているので、図20(A)に示すように電流源回路25内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図20(D)に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

定電流源41から電流が流れ始めた瞬間には、容量素子46に電荷は保持されていないため、トランジスタ43及びトランジスタ44はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子46に電荷が蓄積されて、容量素子46の両電極間に電位差が生じはじめる(図20(E))。両電極間の電位差が V_{th} になると(図20(E) A点)、トランジスタ43及びトランジスタ44がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容量素子46には、さらに電荷の蓄積が行われる。

容量素子46の両電極間の電位差は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧となる。そのため、トランジスタ43及びトランジスタ44

のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 4 4 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 4 6 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 20 (E) B 点)、電流 I_2 は流れなくなり、さらにトランジスタ 4 3 及びトランジスタ 4 4 は完全にオン
5 しているので、 $I_{data} = I_2$ となる (図 20 (B))。

次いで、画素に信号電流 I_{data} を入力する動作を図 20 (C) を用いて説明する。
まずスイッチ 4 2 をオフにする。容量素子 4 6 には前述した動作において書き込まれた V_{GS} が保持されているため、トランジスタ 4 3 及びトランジスタ 4 4 はオンしており、画素 4 7 から信号電流 I_{data} に等しい電流が流れる。これにより、画素
10 に信号電流 I_{data} が入力される。このとき、トランジスタ 4 4 を飽和領域において動作するようにしておけば、トランジスタ 4 4 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

なお図 4 2 (C) のようなカレントミラー回路の場合には、スイッチ 4 2 をオフにしなくても、定電流源 4 1 から供給される電流を用いて画素 4 7 に電流を流すこ
15 とも出来る。つまり電流源回路 2 0 に対して信号を設定する動作 (設定動作)、信号を画素に入力する動作 (入力動作) を同時に行うことが出来る。

次いで、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合について説明する。電流源回路 2 5 における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なると、
20 必然的にビデオ信号用定電流源 4 1 において設定される信号電流 I_{data1} と画素 4 7 に流れる信号電流 I_{data2} とは異なる。両者の相違点は、トランジスタ 4 3 及びトランジスタ 4 4 の W (ゲート幅) / L (ゲート長) の値の相違点に依存する。

通常はトランジスタ 4 3 の W/L 値を、トランジスタ 4 4 の W/L 値よりも大きくすることが望ましい。これは、トランジスタ 4 3 の W/L 値を大きくすれば、信号電
25 流 I_{data1} を大きくできるからである。この場合、信号電流 I_{data1} で電流源回路を設定するとき、負荷 (交差容量、配線抵抗) を充電できるため、素早く設定動作

を行うことが可能となる。

図20(A)～図20(C)に示した電流源回路25のトランジスタ43及びトランジスタ44はnチャネル型であったが、勿論電流源回路25のトランジスタ43及びトランジスタ44をpチャネル型としてもよい。ここで、トランジスタ43及びトランジスタ44がpチャネル型の場合の回路図を図21に示す。

図21において、41は定電流源、スイッチ42はスイッチング機能を有する半導体素子、43、44はトランジスタ(pチャネル型)、46は容量素子、47は画素である。本実施の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路26に相当する電気回路とする。

10 pチャネル型のトランジスタ43のソース領域はVddに接続され、ドレイン領域は定電流源41に接続されている。pチャネル型のトランジスタ44のソース領域はVddに接続され、ドレイン領域は画素47の端子48に接続されている。そして容量素子46の一方の電極はVdd(ソース)に接続され、他方の電極はトランジスタ43及びトランジスタ44のゲート電極に接続されている。容量素子46は、ト
15 ランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担う。

図21に示す電流源回路26の動作は、電流の流れる方向が異なる以外は、図20(A)～図20(C)と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ43、トランジスタ44の極性を変えた
20 電流源回路を設計する場合には、図7(B)、図33を参考にすればよい。

以上をまとめると、図19の電流源回路では、電流源で設定される信号電流I_{data}と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流I_{data}と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

25 また、図19の電流源回路及び図6(B)の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流I_{data}を出力することは出来ない。

そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素にI dataを入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に1つの電流源回路
5 を設けるだけでもよい。なお、図29（A）、図30（A）の電流源回路は、図19の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図32（A）の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。また、図6（B）、図30（B）の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大き
10 さが異なること以外は、同様である。つまり、図32（A）では、トランジスタのゲート幅Wが設定動作時と入力動作時で異なり、図6（B）、図30（B）では、トランジスタのゲート長Lが設定動作時と入力動作時とで異なるだけで、それ以外は図19の電流源回路と同様の構成である。

一方、図20、21の電流源回路では、定電流源において設定された信号電流I
15 dataと、画素に流れる電流の値は、電流源回路に設けられた2つのトランジスタのサイズに依存する。つまり電流源回路に設けられた2つのトランジスタのサイズ（W（ゲート幅）/L（ゲート長））を任意に設計して、定電流源において設定された信号電流I dataと、画素に流れる電流を任意に変えることが出来る。但し、2つのトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、
20 正確な信号電流I dataを画素に出力することが難しい。

また、図20、21の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作（設定動作）、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。そのため、図19の電流源回路のように、1本の信号線に2つの電流源回路を設ける必要はない。

25 上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態 2)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図 15 を用いて説明する。

本発明の発光装置は、基板 401 上に、複数の画素がマトリクス状に配置された
5 画素部 402 を有し、画素部 402 の周辺には、信号線駆動回路 403、第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 を有する。図 15 (A) においては、信号線駆動回路 403 と、2 組の走査線駆動回路 404、405 を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。また信号線駆動回路 403 と、第 1 の走査線駆動回路
10 404 及び第 2 の走査線駆動回路 405 には、FPC 406 を介して外部より信号が供給される。

第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 の構成について図 15 (B) を用いて説明する。第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 は、シフトレジスタ 407、バッファ 408 を有する。動作を簡単に
15 説明すると、シフトレジスタ 407 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 408 で増幅されたサンプリングパルスは、走査線に入力されて 1 行ずつ選択状態にしていく。そして選択された走査線によって、制御される画素には、順に信号線から信号電流 I data が書き込まれる。

20 なおシフトレジスタ 407 と、バッファ 408 の間にはレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

信号線駆動回路 403 の構成については以下に後述する。また本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。

25 (実施の形態 3)

本実施の形態では、図 15 (A) に示した信号線駆動回路 403 の構成とその動

作について説明する。本実施の形態では、アナログ階調表示又は1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

図3(A)には、アナログ階調表示又は1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ415、第1のラッチ回路416、第2のラッチ回路417を有する。

動作を簡単に説明するとシフトレジスタ415は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ415より出力されたサンプリングパルスは、第1のラッチ回路416に入力される。第1のラッチ回路416には、ビデオ信号(デジタルビデオ信号又はアナログビデオ信号)が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

第1のラッチ回路416において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路417にラッチパルスが入力され、第1のラッチ回路416に保持されていたビデオ信号は、一斉に第2のラッチ回路417に転送される。すると、第2のラッチ回路417に保持されたビデオ信号は、1行分が同時に信号線に接続された画素へと入力されることになる。

第2のラッチ回路417に保持されたビデオ信号が画素に供給されている間、シフトレジスタ411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。

そして本発明の信号線駆動回路は、各々が電流源回路を有する第1のラッチ回路416及び第2のラッチ回路417が具備される。

次いで第1のラッチ回路416及び第2のラッチ回路417の構成を図4を用いて説明する。図4には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

信号線駆動回路403は、列ごとに電流源回路431、スイッチ432、電流源回路433及びスイッチ434を有する。スイッチ432及びスイッチ434はラッチパルスにより制御される。なおスイッチ432及びスイッチ434には互いに反転した信号が入力される。そのため、電流源回路433は、設定動作及び入力動作の一方を行う。

電流源回路431及び電流源回路433は、端子aを介して入力される信号により制御される。そして第1のラッチ回路416が有する電流源回路431は、端子bを介してビデオ線（電流線）に接続されたビデオ信号用定電流源109を用いて設定された電流（信号電流 I_{data} ）が保持される。そして電流源回路431と電流源回路433の間にはスイッチ432が設けられており、前記スイッチ432のオン又はオフはラッチパルスにより制御される。

また第2のラッチ回路417が有する電流源回路433は、電流源回路431（第1のラッチ回路416）から出力される電流が保持される。そして電流源回路433と信号線に接続された画素との間にはスイッチ434が設けられており、前記スイッチ434のオン又はオフは、ラッチパルスにより制御される。

なお、電流源回路433と信号線に接続された画素との間にあるスイッチ434は、電流源回路433にスイッチが配置されている場合、省略できる。また、電流源回路の構成によっては、電流源回路433と信号線に接続された画素との間のスイッチ434は必要ない。

なお、電流源回路433と信号線に接続された画素との間にあるスイッチ434と同様に、電流源回路431と電流源回路433の間にあるスイッチ432も、省略できる場合がある。

そして、1ビットのデジタル階調表示を行う場合、ビデオ信号が明信号のときには、電流源回路433から画素に信号電流 I_{data} が出力される。反対にビデオ信号が暗信号のときには、電流源回路433は、電流を流す能力を持っていないので、画素へ電流は流れない。また、アナログ階調表示を行う場合、ビデオ信号に応じて、

電流源回路 4 3 3 から画素に信号電流 I_{data} が出力される。つまり電流源回路 4 3 3 は、電流を流す能力 (VGS) を、ビデオ信号に制御されており、画素へ出力する電流の大きさにより、明るさが制御される。

本発明では端子 a から入力される設定信号とはシフトレジスタから出力される
5 サンプリングパルス又はラッチパルスを示す。つまり図 1 における設定信号とは、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路の設定を行う。

また第 1 のラッチ回路 4 3 1 が有する電流源回路 4 3 1 の端子 a にはシフトレ
10 ジスタ 4 1 5 から出力されるサンプリングパルスが入力される。そして第 2 のラッチ回路 4 1 7 が有する電流源回路 4 3 3 の端子 a にはラッチパルスが入力される。

そして電流源回路 4 3 1 及び電流源回路 4 3 3 には、図 6、図 7、図 2 9、図 3 0、図 3 2 などに示した電流源回路の回路構成を自由に用いることが出来る。各電流源回路は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

15 また図 4 では、ビデオ信号用定電流源 1 0 9 から、第 1 のラッチ回路に対して 1 列ずつ設定動作を行っているが、これに限定されない。図 3 4 に示すように、同時に複数列で設定動作を行うこと、つまり、多相化させてもよい。図 3 4 には、ビデオ信号用定電流源 1 0 9 が 2 個配置されているが、この 2 個のビデオ信号用定電流源に対しても別に配置したビデオ信号用定電流源から設定動作を行ってもよい。

20 以下には、図 4 において、電流源回路 4 3 1 及び電流源回路 4 3 3 に用いる方式の組合せの例と、その利点について述べる。

まず、第 1 のラッチ回路 4 1 6 が有する電流源回路 4 3 1 及び第 2 のラッチ回路 4 1 7 が有する電流源回路 4 3 3 は、一方が図 6 (A) のような回路であり、他方が図 6 (C) のようなカレントミラー回路である場合について説明する。

25 なお図 6 (C) のようなカレントミラー回路の電流源回路は、少なくとも 2 つのトランジスタを有し、前記 2 つのトランジスタのゲート電極は共通あるいは電氣的

に接続されていることは上述した。そして2つのトランジスタのうち、一つのトランジスタのソース領域及びドレイン領域の一方と、もう一つのトランジスタのソース領域及びドレイン領域の一方は、異なる回路素子に接続されている。例えば図20に示す電流源回路では、2つのトランジスタのうち、一つのトランジスタ（のソース領域及びドレイン領域の一方）は定電流源に接続され、もう一つのトランジスタ（のソース領域及びドレイン領域の一方）は画素に接続されている。

そして最初に、第1のラッチ回路416が有する電流源回路431が図6（A）のような回路であり、第2のラッチ回路417が有する電流源回路433が図6（C）のようなカレントミラー回路である場合について説明する。この場合には、
10 図6（C）のようなカレントミラー回路である電流源回路433が有する2つのトランジスタは、一方は第1のラッチ回路416が有する電流源回路431に接続され、他方はスイッチ434を介して画素に接続されている。

なお、上記構成の場合には、スイッチ434は配置しなくてもよい。これは、第2のラッチ回路417が有する電流源回路433が図6（C）のようなカレントミ
15 ラー回路の場合、第1のラッチ回路416が有する電流源回路431から流れた電流が画素の方に流れることがないこと、また、設定動作と入力動作を同時に行えることによる。

つまり、図6（C）のようなカレントミラー回路の場合、設定動作を行うトランジスタと入力動作を行うトランジスタは、別のトランジスタである。設定動作を行
20 うトランジスタのソース・ドレイン間に流れる電流は、入力動作を行うトランジスタのソース・ドレイン間には、流れない。またその逆の場合も成り立つ。そのため、第1のラッチ回路416が有する電流源回路431から流れた電流は、設定動作を行うトランジスタには流れるが、入力動作を行うトランジスタには流れず、その電流は画素の方にも流れない。したがって、スイッチ434を配置しなくても、設定
25 動作と入力動作とは、互いに悪影響を及ぼすことはなく、問題は生じない。

そして図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、

第1のラッチ回路416が有する電流源回路431に接続されている方のトランジスタに比べて、画素に接続されている方のトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源109から供給される電流値を大きくすることが出来る。

- 5 例えば画素に与える電流の大きさを P とする。そして画素に接続されている方のトランジスタの W/L 値を W_a として、電流源回路431に接続されている方のトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源109からは、 $(2 \times P)$ の電流が供給されることになる。このようにトランジスタの W/L 値を適当な値に設定することによって、ビデオ信号用定電流源109から供給される電流
- 10 を大きくできるため、電流源回路431の設定動作を素早く正確に行うことが出来る。

この場合の回路図を、図35に示す。

- 次いで、第1のラッチ回路416が有する電流源回路431が図6（C）のようなカレントミラー回路であり、第2のラッチ回路417が有する電流源回路433
- 15 が図6（A）のような回路である場合について説明する。この場合には、図6（C）のようなカレントミラー回路である電流源回路431の2つのトランジスタは、一方はビデオ信号用定電流源109に接続され、他方は第2のラッチ回路417が有する電流源回路417に接続されている。

- そして図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、
- 20 ビデオ信号用定電流源109に接続されている方のトランジスタに比べて、第2のラッチ回路417が有する電流源回路433に接続されている方のトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源109から供給される電流値を大きくすることが出来る。

- 例えば画素に与える電流の大きさを P とする。そして第2のラッチ回路417が
- 25 有する電流源回路433に接続されているトランジスタの W/L 値を W_a として、ビデオ信号用定電流源109に接続されているトランジスタの W/L 値を $(2 \times W_a)$

とすれば、ビデオ信号用定電流源 109 からは、 $(2 \times P)$ の電流が供給されることになる。このようにトランジスタの W/L 値を適当な値に設定することによって、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、電流源回路 431 の設定動作を素早く正確に行うことが出来る。

5 この場合の回路図を、図 36 に示す。

次いで、第 1 のラッチ回路 416 が有する電流源回路 431 及び第 2 のラッチ回路 417 が有する電流源回路 432 の両方が図 6 (C) のようなカレントミラー回路である場合について説明する。

例えば画素に与える電流の大きさを P とする。そして仮に、第 2 のラッチ回路 417 が有する電流源回路 433 において、図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、画素に接続された方のトランジスタの W/L 値を W_a とすると、第 1 のラッチ回路 416 が有する電流源回路に接続された方のトランジスタの W/L 値を $(2 \times W_a)$ にする。そうすると第 2 のラッチ回路 417 が有する電流源回路 433 では、電流値が 2 倍になる。

15 同様に、図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、ビデオ信号用定電流源 109 に接続されている方の W/L 値を $(2 \times W_b)$ とすると、第 2 のラッチ回路 417 に接続されている方の W/L 値を W_b とする。そうすると、第 1 のラッチ回路 416 が有する電流源回路 431 では、電流値が 2 倍になる。そうすると、ビデオ信号用定電流源 109 からは、 $(4 \times P)$ の電流が供給されることになる。このようにトランジスタの W/L 値を適当な値に設定することによって、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、電流源回路 431 の設定動作を素早く正確に行うことが出来る。

この場合の回路図を、図 37 に示す。なお、この場合、図 38 に示すように、第 1 のラッチ回路が有する電流源回路と第 2 のラッチ回路が有する電流源回路の間に、スイッチ 432 を配置しなくてもよい。しかし、その場合には、第 1 のラッチ回路が有する電流源回路と第 2 のラッチ回路が有する電流源回路との間で、電流が

流れ続けてしまうため、望ましくない。

そして最後に、第1のラッチ回路416が有する電流源回路431及び第2のラッチ回路417が有する電流源回路433が、両方とも図6(A)のような回路である場合について説明する。図6(A)のような回路の電流源回路を用いると、トランジスタの特性バラツキの影響をさらに抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。しかしながら、ビデオ信号用定電流源109から供給される電流値を大きくできないため、設定動作を素早く行うことはできない。

10 この場合の回路図を、図39に示す。

なお、第1のラッチ回路416が有する電流源回路において、一つの構成のみの電流源回路を用いるのではなく、図6(A)のような回路を用いたり、図6(C)のようなカレントミラー回路を用いたりして、異なる構成の電流源回路を混合させて用いてもよい。同様に、第2のラッチ回路417が有する電流源回路においても、

15 混合させて用いてもよい。

なお、図39の構成では、電流は、画素から信号線を通り、電流源回路の方に向かって流れていた。しかし、電流の向きは、画素の構成によって変わる。そこで、電流源回路から画素の方へ電流が流れる場合の回路図を、図40に示す。

以上をまとめると、電流源回路（電流源回路431、電流源回路433）に図6
20 (C)のようなカレントミラー回路を採用し、さらにW/L値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する電流を大きくすることが出来る。そしてその結果、電流源回路（電流源回路431、電流源回路433）の設定動作を正確に行うことが出来る。

ただし、図6(C)のようなカレントミラー回路においては、ゲート電極が共通
25 であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つの

トランジスタでトランジスタのチャネル幅 W とチャネル長 L の比率 W/L を、異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、第1のラッチ回路の電流源回路の場合は、ビデオ信号用定電流源 109 から供給される電流に相当し、第2のラッチ回路の電流源回路の場合は、第1のラッチ回路の電流源から供給される電流に相当する。

一方、図6(A)のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電流を大きくすることはできない。しかし、設定動作を行う時に電流を供給するトランジスタと、入力動作を行う時に電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。したがって、各ラッチ回路において、設定動作を行う時の電流を大きくしたい部分には図6(C)のようなカレントミラー回路を用いて、より正確な電流を出力したい部分では図6(A)のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

なお、図6(C)のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つのトランジスタの特性がそろっていれば、そこから出力される電流はばらつかない。逆に言うと、出力される電流がばらつかないようにするには、前記2つのトランジスタの特性がそろっていればよい。つまり、図6(C)のようなカレントミラー回路において、ゲート電極が共通である2つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通ではないトランジスタ間では、特性がそろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていればよい。ゲート電極が共通ではないトランジ

スタ間で、特性がそろっていないなくても、設定動作によって、各々の電流源回路に対して設定が行われるので、特性ばらつきは補正される。

通常、図6（C）のようなカレントミラー回路において、ゲート電極が共通である2つのトランジスタは、2つのトランジスタの特性のばらつきを抑制できるため、

5 近接して配置される。

なお、単なるスイッチとして動作させるトランジスタは、極性（導電型）はどちらでもよい。

また、本発明の信号線駆動回路において、第1ラッチに配置された電流源回路について、レイアウト図を図45に、対応した回路図を図46に示す。

10 本実施の形態は、実施の形態1、2と自由に組み合わせることが可能である。
（実施の形態4）

本実施の形態では、図15（A）に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、2ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

15 図3（B）には、2ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ415、第1のラッチ回路416、第2のラッチ回路417を有する。

動作を簡単に説明するとシフトレジスタ415は、フリップフロップ回路（FF）等を複数列用いて構成され、クロック信号（S-CLK）、スタートパルス（S-SP）、ク
20 ロック反転信号（S-CLKb）が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ415より出力されたサンプリングパルスは、第1のラッチ回路416に入力される。第1のラッチ回路416には、ビデオ信号（Digital Data 1、Digital Data 2）が入力されており、サンプリングパルスが入力されるタイミ
25 ングに従って、各列でビデオ信号を保持していく。

第1のラッチ回路416において、最終列までビデオ信号の保持が完了すると、

水平帰線期間中に、第2のラッチ回路417にラッチパルスが入力され、第1のラッチ回路416に保持されていたビデオ信号は、一斉に第2のラッチ回路417に転送される。すると、第2のラッチ回路417に保持されたビデオ信号は、1行分が同時に信号線に接続された画素へと入力されることになる。

- 5 第2のラッチ回路417に保持されたビデオ信号が画素に供給されている間、シフトレジスタ411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。

なお1ビットのデジタルビデオ信号は、1ビット用のビデオ信号用定電流源109に接続された電流線から入力される。また2ビットのデジタルビデオ信号は、2
10 ビット用のビデオ信号用定電流源109に接続された電流線から入力される。そして1ビット用、2ビット用のビデオ信号用定電流源109で設定された信号電流（ビデオ信号に相当）を電流源回路において保持する。

次いで第1のラッチ回路415及び第2のラッチ回路416の構成を図5、26、27を用いて説明する。

- 15 まず図5に示す第1のラッチ回路415及び第2のラッチ回路416の構成について説明する。図5には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

なお図5に示す信号線駆動回路403は、第1のラッチ回路416が有する電流源回路431に、1ビット用のビデオ信号用定電流源109と、2ビット用のビデオ
20 信号用定電流源109が接続されている。

したがって、第1のラッチ回路416が有する電流源回路431には、1ビット用のビデオ信号の電流と2ビット用のビデオ信号の電流との合計の電流が流れることになる。

次いで図26に示す第1のラッチ回路416及び第2のラッチ回路417の構成
25 について説明する。図26には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

信号線駆動回路403は、列ごとに電流源回路431a、スイッチ432a、電流源回路433a及びスイッチ434aと、電流源回路431b、スイッチ432b、電流源回路433b及びスイッチ434bとを有する。スイッチ432a、434a、432b、434bはラッチパルスにより制御される。

- 5 なおスイッチ432a及び432bと、スイッチ434a及び434bには互いに反転した信号が入力される。そのため、電流源回路433は、設定動作及び入力動作のどちらか一方を行う。

- ただし、電流源回路433が図6(C)のようなカレントミラー回路であり、設定動作と入力動作を同時に行える場合であり、かつ、電流源回路433にスイッチ
10 が配置されている場合、電流源回路433と信号線に接続された画素との間にあるスイッチ434は、省略できる。また、電流源回路433と信号線に接続された画素との間のスイッチ434は必要ない。電流源回路433と信号線に接続された画素との間にあるスイッチ434と同様に、電流源回路431と電流源回路433の間にあるスイッチ432も、省略できる。

- 15 各電流源回路431a、433a、431b及び433bは、端子a、端子b及び端子cを有する。各電流源回路431a、433a、431b及び433bは、端子aを介して入力される信号により制御される。また電流源回路431a及び電流源回路431bは、端子bを介してビデオ線（電流線）に接続されたビデオ信号用定電流源109を用いて設定された電流（信号電流I_{data}）が保持される。電流
20 源回路433a及び電流源回路433bは、端子bを介して第1のラッチ回路416が有する電流源回路431a及び電流源回路431bから出力された電流（信号電流I_{data}）が保持される。なお1ビット用の定電流源109において設定された電流は、電流源回路431a及び電流源回路433aにより保持される。また2ビット用の定電流源109において設定された電流は、電流源回路431b又は電流
25 源回路433bにより保持される。そして各電流源回路433a、433bと信号線に接続された画素との間にはスイッチ434a、434bが設けられており、前

記スイッチ434a、434bのオン又はオフはラッチパルスにより制御される。

したがって、画素には、電流源回路433aから流れる1ビット用のビデオ信号の電流と、電流源回路433bから流れる2ビット用のビデオ信号の電流との合計の電流が流れる。換言すると、電流源回路433aや電流源回路433bから画素
5 の方へ電流が流れる部分において、各ビットのビデオ信号の電流が足しあわされ、DA変換の動作が行われる。したがって、電流源回路から画素に電流が供給される際に、電流の大きさが各ビットに対応した電流値になっていればよい。

次いで、図27に示す第1のラッチ回路416及び第2のラッチ回路417の構成について説明する。図27には、 i 列目から $(i+2)$ 列目の3本の信号線の周
10 辺の信号線駆動回路403の概略を示す。

なお図27に示す信号線駆動回路403は、図26に示す信号線駆動回路403と比較すると、電流源回路433b及びスイッチ434bを除いて、電流源回路431bに保持されている電流が、電流源回路433bではなく、電流源回路433aに出力される点以外は同じであるので、ここでは説明を省略する。なお図27に
15 示す信号線駆動回路403は、図26に示す信号線駆動回路403に比べて、回路素子を少なくできるので、信号線駆動回路403の占有面積を小型化することが出来る。

図27において、電流源回路433aには、電流源回路431aから流れる1ビット用のビデオ信号の電流と、電流源回路431bから流れる2ビット用のビデオ
20 信号の電流との合計の電流が流れることになる。換言すると、電流源回路431aや電流源回路431bから電流源回路433aの方へ流れる部分において、各ビットのビデオ信号の電流が足しあわされ、DA変換の動作が行われる。したがって、画素から電流源回路に電流が供給される際に、電流の大きさが各ビットに対応した電流値になっていればよい。

25 そして図5、26、27に示す信号線駆動回路403において、デジタルビデオ信号が明信号のときには、各電流源回路から画素へ信号電流が出力される。反対に

ビデオ信号が暗信号のときには、各電流源回路から画素の間のラッチパルスが制御されて、画素への電流は流れない。つまり各電流源回路433a、433bでは、一定電流を流す能力（VGS）をビデオ信号により制御されており、画素へ出力する電流の大きさを用いて明るさが制御される。

- 5 なお本発明では端子aから入力される設定信号とはシフトレジスタから出力されるサンプリングパルス又はラッチパルスを示す。つまり図1における設定信号とは、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路の設定を行う。
- 10 また第1のラッチ回路416が有する電流源回路の端子aにはシフトレジスタ415から出力されるサンプリングパルスが入力される。そして第2のラッチ回路417が有する電流源回路の端子aにはラッチパルスが入力される。

また本実施の形態では、2ビットのデジタル階調表示を行うので、1本の信号線ごとに4つの電流源回路431a、433a、431b及び433bが設けられて

15 いる。そして4つの電流源回路の内、電流源回路431a及び電流源回路433a、電流源回路431b及び電流源回路433bに流れる信号電流Idataを1:2として設定すると、 $2^2=4$ 段階で電流の大きさを制御出来る。

そして各電流源回路431a、433a、431b及び433bの回路構成は、図6、図7、図29、図30、図32などに示す電流源回路の回路構成を自由に用

20 いることが出来る。各電流源回路420は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

そして以下には、まず図26における電流源回路（電流源回路431a、431b、433a及び433b）に用いる方式の組合せの例と、その利点について説明する。次いで、図27における電流源回路（電流源回路431a、431b及び4

25 33a）に用いる方式の組合せの例と、その利点について述べる。

図26において、電流源回路（電流源回路431a、431b、433a及び4

3 3 b) に用いる方式の組合せの例として、第 1 のラッチ回路 4 1 6 が有する電流源回路（電流源回路 4 3 1 a、4 3 1 b）及び第 2 のラッチ回路 4 1 7 が有する電流源回路（電流源回路 4 3 3 a、4 3 3 b）は、一方が図 6（A）のような回路であり、他方が図 6（C）のようなカレントミラー回路である場合について説明する。

- 5 なお図 6（C）のようなカレントミラー回路の電流源回路は、少なくとも 2 つのトランジスタを有し、前記 2 つのトランジスタのゲート電極は共通あるいは電氣的に接続されていることは上述した。そして 2 つのトランジスタのうち、一つのトランジスタのソース領域及びドレイン領域の一方と、もう一つのトランジスタのソース領域及びドレイン領域の一方は、異なる回路素子に接続されている。例えば図 2
- 10 0 に示す電流源回路では、2 つのトランジスタのうち、一つのトランジスタ（のソース領域及びドレイン領域の一方）は定電流源に接続され、もう一つのトランジスタ（のソース領域及びドレイン領域の一方）は画素に接続されている。

- そして最初に、図 2 6 において第 1 のラッチ回路 4 1 6 が有する電流源回路（電流源回路 4 3 1 a、4 3 1 b）が図 6（A）のような回路であり、第 2 のラッチ回路
- 15 路 4 1 7 が有する電流源回路（電流源回路 4 3 3 a、4 3 3 b）が図 6（C）のようなカレントミラー回路である場合について説明する。この場合には、図 6（C）のようなカレントミラー回路である電流源回路（電流源回路 4 3 3 a、4 3 3 b）が有する 2 つのトランジスタは、一方は第 1 のラッチ回路 4 1 6 が有する電流源回路 4 3 1 a 及び 4 3 1 b に接続され、他方はスイッチ 4 3 4 を介して画素に接続さ
- 20 れている。

- そして図 6（C）に示すようなカレントミラー回路の 2 つのトランジスタにおいて、第 1 のラッチ回路 4 1 6 が有する電流源回路（電流源回路 4 3 1 a、4 3 1 b）の方に接続されているトランジスタに比べて、画素の方に接続されているトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源 1
- 25 0 9 から供給される電流値を大きくすることが出来る。

例えば画素に与える電流の大きさを P とする。そして画素に接続されている方の

トランジスタの W/L 値を W_a として、電流源回路（電流源回路431a、431b）に接続されている方のトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源109からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路

5 （電流源回路431a、431b）の設定動作を素早く正確に行うことができる。

また、第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が図6（C）のようなカレントミラー回路である場合、トランジスタの W （ゲート幅）/ L （ゲート長）値を、各ビットによって、変えておいてもよい。その結果、下位ビットのビデオ信号用定電流源109から流れる電流や、第1のラッチ回路から第2のラッチ回路へ流れる電流を、より大きくすることができる。つまり、設定動作の時に流れる電流を大きくすることができる。また、第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が図6（C）のようなカレントミラー回路である場合、該カレントミラー回路において、電流の倍率が変わる。より具体的には、第2のラッチ回路から電流を出力する時点で、電流値が小さくなる。

10 る。つまり、入力動作の時の電流が小さくなり、画素へ流れる電流が小さくなる。そのため、第1のラッチ回路から第2のラッチ回路へと電流を流し、第2のラッチ回路の電流源回路に設定動作を行う場合は、第2のラッチ回路の電流源回路に流れる電流は小さくなっておらず、電流値が大きいので、素早く設定動作を行うことができる。

20 次いで、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）が図6（C）のようなカレントミラー回路であり、第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が図6（A）のような回路である場合について説明する。この場合には、図6（C）のようなカレントミラー回路である電流源回路（電流源回路433a、433b）の2つのトランジスタ

25 は、一方はビデオ信号用定電流源109（1ビット用、2ビット用）に接続され、他方は第2のラッチ回路417が有する電流源回路（電流源回路433a、433

b) に接続されている。

そして図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、ビデオ信号用定電流源 109 の方に接続されているトランジスタに比べて、第 2 のラッチ回路 417 が有する電流源回路 (電流源回路 433 a、433 b) に接続されている方のトランジスタの W (ゲート幅) / L (ゲート長) 値を小さくすると、ビデオ信号用定電流源 109 から供給される電流値を大きくすることが出来る。

例えば画素に与える電流の大きさを P とする。そして第 2 のラッチ回路 417 が有する電流源回路 (電流源回路 433 a、433 b) に接続されているトランジスタの W/L 値を W_a として、ビデオ信号用定電流源 109 に接続されているトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源 109 からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、電流源回路 (電流源回路 431 a、431 b) の設定動作を素早く正確に行うことが出来る。

また、第 1 のラッチ回路 416 が有する電流源回路 (電流源回路 431 a、431 b) が図 6 (C) のようなカレントミラー回路である場合、トランジスタの W (ゲート幅) / L (ゲート長) 値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源 109 から流れる電流を、より大きくすることができる。

つまり、ビデオ信号用定電流源 109 に接続されている方のトランジスタの W/L を、第 2 のラッチ回路に接続されている方のトランジスタの W/L よりも大きく設定する。要するに、設定動作を行う方のトランジスタの W/L を、入力動作を行う方のトランジスタの W/L よりも大きく設定する。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 109 から流れる電流を、より大きくすることができる。

次いで、第 1 のラッチ回路 416 が有する電流源回路 (電流源回路 431 a、431 b) 及び第 2 のラッチ回路 417 が有する電流源回路 (電流源回路 433 a、

4 3 3 b) の両方が図 6 (C) のようなカレントミラー回路である場合について説明する。

例えば画素に与える電流の大きさを P とする。そして仮に、第 2 のラッチ回路 4 1 7 が有する電流源回路 (電流源回路 4 3 3 a、4 3 3 b) における、図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、画素に接続された方のトランジスタの W/L 値を W_a とすると、第 1 のラッチ回路 4 1 6 が有する電流源回路に接続された方のトランジスタの W/L 値を $(2 \times W_a)$ にする。そうすると第 2 のラッチ回路 4 1 7 において電流値が 2 倍になる。

また同様に、ビデオ信号用定電流源 1 0 9 に接続された方のトランジスタの W/L 値を $(2 \times W_b)$ とすると、第 2 のラッチ回路 4 1 7 に接続された方のトランジスタの W/L 値は W_b となる。そうすると第 1 のラッチ回路 4 1 6 において電流値が 2 倍になる。そうすると、ビデオ信号用定電流源 1 0 9 (1 ビット用、2 ビット用) からは、 $(4 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源 1 0 9 から供給される電流を大きくできるため、電流源回路の設定動作を素早く正確に行うことが出来る。

また、電流源回路が図 6 (C) のようなカレントミラー回路である場合、トランジスタの W (ゲート幅) / L (ゲート長) 値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源 1 0 9 から流れる電流を、より大きくすることができる。

つまり、設定動作を行う方のトランジスタの W/L を、入力動作を行う方のトランジスタの W/L よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 1 0 9 から流れる電流を、より大きくすることができる。

第 1 のラッチ回路の電流源回路が図 6 (C) のようなカレントミラー回路である場合、ビデオ信号用定電流源 1 0 9 に接続されている方のトランジスタの W/L を、第 2 のラッチ回路に接続されている方のトランジスタの W/L よりも大きくする。第 2 のラッチ回路の電流源回路が図 6 (C) のようなカレントミラー回路である場合、

第1のラッチ回路に接続されている方のトランジスタのW/Lを、画素や信号線に接続されている方のトランジスタのW/Lよりも大きくする。

最後に、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）及び第2のラッチ回路417が有する電流源回路（電流源回路433a、
5 433b）が、両方とも図6（A）のような回路である場合について説明する。両方とも図6（A）のような回路を用いる場合には、電流源回路に配置するトランジスタの個数を少なくできるため、トランジスタの特性バラツキの影響を抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受
10 けない。

なお、第1のラッチ回路416が有する電流源回路の中で、図6（A）のような回路を用いたり、図6（C）のようなカレントミラー回路を用いたりして、混合させて用いてもよい。同様に、第2のラッチ回路417が有する電流源回路の中でも、混合させて用いてもよい。

15 特に、ビデオ信号用定電流源109から流れる電流が小さくなってしまう下位ビット用の電流源回路においては、図6（C）のようなカレントミラー回路を用いて、電流値を大きくすることは、有効である。

つまり、下位ビット用の電流源回路は、その電流源回路から流れる電流値が小さいので、設定動作に時間がかかってしまう。そこで、図6（C）のようなカレント
20 ミラー回路を用いて、電流値を大きくすれば、設定動作にかかる時間を短くすることができる。

また、図6（C）のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、下位ビット用
25 の電流源回路の場合、画素や信号線に出力する電流値が小さい。そのため、前記2つのトランジスタの特性がばらついても、その影響は小さい。以上のことから、下

位ビット用の電流源回路においては、図6（C）のようなカレントミラー回路を用いることは、効果的である。

以上をまとめると、図6（C）のようなカレントミラー回路を採用し、さらに W/L 値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する
5 電流を大きくすることが出来る。そしてその結果、電流源回路の設定動作を正確に行うことが出来る。

ただし、図6（C）のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つの
10 トランジスタで、トランジスタのチャネル幅 W とチャネル長 L の比率 W/L を、異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、第1のラッチ回路の電流源回路の場合は、ビデオ信号用定電流源109から供給される電流に相当し、第2のラッチ回路の電流源
15 回路の場合は、第1のラッチ回路の電流源から供給される電流に相当する。

一方、図6（A）のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電流を大きくすることはできない。しかし、設定動作を行う時に電流を供給するトランジスタと、入力動作を行う時に電流を供給するトランジスタとは、同一のトラン
20 ジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。したがって、各ラッチ回路において、また、各ビット用の回路において、設定動作を行う時の電流を大きくしたい部分には図6（C）のようなカレントミラー回路を用いて、より正確な電流を出力したい部分では図6（A）のような回路を用いるというように、適宜組み合わせる用いるのが望ましい。

25 次いで、図27における電流源回路（電流源回路431a、431b及び433a）に用いる方式の組合せの例と、その利点について述べる。

そして図 27 において、第 1 のラッチ回路 416 が有する電流源回路（電流源回路 431a、431b）が図 6（C）のようなカレントミラー回路であり、第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）が図 6（A）のような回路である場合について説明する。この場合には、図 6（C）のようなカレントミラー回路である電流源回路（電流源回路 433a、433b）の 2 つのトランジスタは、一方はビデオ信号用定電流源 109（1ビット用、2ビット用）に接続され、他方は第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）に接続されている。

そしてビデオ信号用定電流源 109 に接続されているトランジスタに比べて、第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）に接続されているトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源 109 から供給される電流値を大きくすることが出来る。

例えば画素に与える電流の大きさを P とする。そして第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）に接続されているトランジスタの W/L 値を W_a として、ビデオ信号用定電流源 109 に接続されているトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源 109 からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、電流源回路（電流源回路 431a、431b）の設定動作を正確に行うことが出来る。

また、第 1 のラッチ回路 416 が有する電流源回路（電流源回路 431a、431b）が図 6（C）のようなカレントミラー回路である場合、トランジスタの W （ゲート幅）/ L （ゲート長）値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源 109 から流れる電流を、より大きくすることができる。

つまり、ビデオ信号用定電流源 109 に接続されている方のトランジスタの W/L を、第 2 のラッチ回路に接続されている方のトランジスタの W/L よりも大きくする。

要するに、設定動作を行う方のトランジスタの W/L を、入力動作を行う方のトランジスタの W/L よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 109 から流れる電流を、より大きくすることができる。

次いで、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）が図6（A）のような回路であり、第2のラッチ回路417が有する電流源回路（電流源回路433a）が図6（C）のようなカレントミラー回路である場合について説明する。この場合には、図6（C）のようなカレントミラー回路である電流源回路（電流源回路433a、433b）の2つのトランジスタは、一方は第1のラッチ回路416が有する電流源回路（電流源回路433a）に接続され、
10 他方は画素に接続されている。

そして第1のラッチ回路416が有する電流源回路に接続されているトランジスタに比べて、画素に接続されているトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源109や第1のラッチ回路から供給される電流値を大きくすることが出来る。

15 例えば画素に与える電流の大きさを P とする。そして画素に接続されているトランジスタの W/L 値を W_a として、第1のラッチ回路417が有する電流源回路に接続されているトランジスタの W/L 値を $(2 \times W_a)$ とすれば、第1のラッチ回路からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、第1のラッチ回路から供給される電流を大きくできるため、電流源回路（電流源回路431a、431b）の設定動作を正確に行うことが出来る。
20

次いで、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）及び第2のラッチ回路417が有する電流源回路（電流源回路433a）の両方が図6（C）のようなカレントミラー回路である場合について説明する。

例えば画素に与える電流の大きさを P とする。そして仮に、第2のラッチ回路417が有する電流源回路（電流源回路433a）における、図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、画素に接続された方のトランジ
25

スタのW/L値を W_a とすると、第1のラッチ回路416が有する電流源回路に接続された方のトランジスタのW/L値を $(2 \times W_a)$ にする。そうすると第2のラッチ回路417において電流値が2倍になる。

また同様に、ビデオ信号用定電流源109に接続された方のトランジスタのW/L値を $(2 \times W_b)$ とすると、第2のラッチ回路417に接続された方のトランジスタのW/L値は W_b となる。そうすると第1のラッチ回路416において電流値が2倍になる。そうすると、ビデオ信号用定電流源109（1ビット用、2ビット用）からは、 $(4 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路の設定動作を素早く正確に行うことが出来る。

また、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）が図6（C）のようなカレントミラー回路である場合、トランジスタのW（ゲート幅）/L（ゲート長）値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源109から流れる電流を、より大きくすることができる。

つまり、ビデオ信号用定電流源109に接続されている方のトランジスタのW/Lを、第2のラッチ回路に接続されている方のトランジスタのW/Lよりも大きくする。要するに、設定動作を行う方のトランジスタのW/Lを、入力動作を行う方のトランジスタのW/Lよりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源109から流れる電流を、より大きくすることができる。

最後に、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）及び第2のラッチ回路417が有する電流源回路（電流源回路433a）は、両方とも図6（A）のような回路である場合について説明する。両方とも図6（A）のような回路を用いる場合には、配置されるトランジスタの個数を少なくできるため、トランジスタの特性バラツキの影響を抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジ

スタであるため、トランジスタ間の特性ばらつきの影響を全く受けない。

- なお図26、図27において、1ビット用のビデオ信号用定電流源109は、1ビット用のビデオ線（Video data 線）に接続され、2ビット用のビデオ信号用定電流源109は、2ビット用のビデオ線（Video data 線）に接続されている。そして、
- 5 仮に1ビット用のビデオ信号用定電流源109から供給される電流をIとすると、2ビット用のビデオ信号用定電流源109から供給される電流を2Iとしている。しかし、本発明はこれに限定されず、1ビット用のビデオ信号用定電流源109及び2ビット用のビデオ信号用定電流源109から供給される電流の大きさを同じにすることも出来る。1ビット用のビデオ信号用定電流源109及び2ビット用の
- 10 ビデオ信号用定電流源109から供給される電流の大きさを同じにすると、動作条件や負荷を同じにすることが可能であり、さらに電流源回路に信号を書き込む時間を同じにすることが出来る。

- 但しそのときには、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）には図6（C）のようなカレントミラー回路を採用する。そしてさらに、電流源回路431aが有するトランジスタと、電流源回路431bが有するトランジスタのW/L値を2：1とする必要がある。そうすると、電流源回路431aから出力される電流の大きさと、電流源回路431bから出力される電流の大きさを2：1とすることが出来る。
- 15

- また、図6（C）のようなカレントミラー回路を採用するのは、全てのビット用の電流源回路でもよいし、一部のビット用の電流源回路だけでもよい。より効果的なのは、下位ビット用の電流源回路に対して、図6（C）のようなカレントミラー回路を用い、上位ビット用の電流源回路に対しては、図6（A）のような回路を用いるのが望ましい。
- 20

- なぜなら、上位ビットの電流源回路は、電流源回路のトランジスタの特性がわずかにばらついていても、電流値に与える影響が大きい。同程度にトランジスタの特性がばらついていても、上位ビットの電流源回路から供給される電流は、電流値自体が大き
- 25

いため、ばらつきによる電流の差の絶対値も大きいからである。たとえば、トランジスタの特性が10%ばらついたとする。1ビット目の電流の大きさを I とすると、そのばらつき量は、 $0.1I$ である。一方、3ビット目の電流の大きさは、 $8I$ になるので、そのばらつき量は、 $0.8I$ となる。このように、上位ビットの電流源回路は、トランジスタの特性がわずかにばらついても、その影響が大きく出てしまう。

そのため、できるだけばらつきの影響が出ない方式が望ましい。また、上位ビットの電流は、電流値が大きいので、設定動作を行うのも、容易である。一方、下位ビットの電流は、多少ばらついても、電流値自体が小さいため、影響が少ない。また、下位ビットの電流は、電流値が小さいので、設定動作を行うのが、容易ではない。

この状況を解決するためには、下位ビット用の電流源回路に対して、図6(C)のようなカレントミラー回路を用い、上位ビット用の電流源回路に対しては、図6(A)のような回路を用いることが望ましい。

なお、図26の場合は、図6(C)のようなカレントミラー回路を採用するのは、第1のラッチ回路416ではなく、第2のラッチ回路417でもよい。あるいは、第1のラッチ回路416と第2のラッチ回路417の両方を、図6(C)のようなカレントミラー回路にしてもよい。

なお本実施の形態では、2ビットのデジタル階調表示を行う場合における信号線駆動回路の構成とその動作について説明した。しかし本発明は2ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態1～3と自由に組み合わせることが可能である。

(実施の形態5)

図6(A)のような回路では、1本の信号線ごと(各列)に2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作(設定動作)を行い、他方の電流源回路を用いて画素に I_{data} を入力する動作(入力動作)を行うことが好ましいこ

とは上述した。これは、設定動作と入力動作とを同時に行うことが出来るためである。そこで本実施の形態では、本発明の信号線駆動回路に具備される図2に示した電流源回路420の回路構成の例について図8を用いて説明する。

本発明の信号線駆動回路の概略について図2を用いて説明する。図2には、i列
5 目から(i+2)列目の3本の信号線の周辺の信号線駆動回路が示されている。

図2において、信号線駆動回路403には、信号線ごとに電流源回路420が設けられている。そして電流源回路420は複数の電流源回路を有する。そしてここでは仮に2つの電流源回路を有するとして、電流源回路420は、第1電流源回路421及び第2電流源回路422を有するとする。第1電流源回路421及び第2
10 電流源回路422は、端子a、端子b、端子c及び端子dを有する。端子aからは、設定信号が入力される。端子bからは、電流線に接続されたビデオ信号用定電流源109から電流が供給される。また端子cからは、第1電流源回路421及び第2電流源回路422に保持された信号を出力する。つまり電流源回路420は、端子aから入力される設定信号及び端子dから入力される制御信号により制御され、端
15 子bからは供給される信号電流が入力され、該信号電流に比例した電流を端子cより出力する。なおスイッチ101は、電流源回路420と信号線に接続された画素の間、もしくは、電流源回路420と電流源回路420の間に設けられ、前記スイッチのオン又はオフは、ラッチパルスにより制御される。また端子dからは、制御信号が入力される。

20 なお本明細書では、電流源回路420に対して信号電流I dataの書き込みを終了させる(信号を設定する)動作を設定動作と呼び、信号電流I dataを画素に入力する動作を入力動作と呼ぶことにする。第1電流源回路421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。

25 本発明では端子aから入力される設定信号とはシフトレジスタから出力されるサンプリングパルス又はラッチパルスを示す。つまり図1における設定信号とは、

シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路420の設定を行う。

なお本発明の信号線駆動回路は、シフトレジスタ、第1のラッチ回路及び第2のラッチ回路を有する。そして第1のラッチ回路及び第2のラッチ回路は、それぞれ電流源回路を有する。つまり第1のラッチ回路が有する電流源回路の端子aにはシフトレジスタから出力されるサンプリングパルスが入力される。そして第2のラッチ回路が有する電流源回路の端子aにはラッチパルスが入力される。

電流源回路420は、端子aから入力される設定信号により制御され、端子bからは供給される信号電流が入力され、該信号電流に比例した電流を端子cより出力する。

図8(A)において、スイッチ134～スイッチ139と、トランジスタ132(nチャネル型)と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたビデオ信号用定電流源109から端子bを介して電流が供給され、容量素子133に電荷が保持される。そして定電流源109から流される信号電流I_{data}がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

次いで、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流I_{data}の大きさの電流を流す能力をもつことになる。そして仮にスイッチ101、スイッチ138、スイッチ139が導通状態になると、端子cを介して信号線に接続

された画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素において流れる電流の大きさを制御できる。

図8(B)において、スイッチ144～スイッチ147と、トランジスタ142(nチャネル型)と、該トランジスタ142のゲート・ソース間電圧 V_{GS} を保持する容量素子143と、トランジスタ148(nチャネル型)とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子143に電荷が保持される。そして定電流源109から流される信号電流 I_{data} がトランジスタ142のドレイン電流と等しくなるまで、容量素子143に電荷が保持される。なおスイッチ144、スイッチ145がオンとなると、トランジスタ148のゲート・ソース間電圧 V_{GS} が0Vとなるので、トランジスタ148はオフになる。

次いで、スイッチ144～スイッチ147をオフにする。そうすると、容量素子143に信号電流 I_{data} が保持されているため、トランジスタ142は、信号電流 I_{data} の大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ142のゲート電圧は、容量素子143により所定のゲート電圧に維持されているため、トランジスタ142のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御で

きる。

なおスイッチ144、145がオフすると、トランジスタ142のゲートとソースは同電位ではなくなる。その結果、容量素子143に保持された電荷がトランジスタ148の方にも分配され、トランジスタ148が自動的にオンになる。ここで、
5 トランジスタ142、148は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ142、148はマルチゲートのトランジスタとして動作することになる。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとビデオ用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

ここで、図8（A）は、図6（A）に対して、端子dを追加した構成に相当する。図8（B）は、図6（B）に対して、端子dを追加した構成に相当する。このよう
15 に、スイッチを直列に追加して修正することにより、端子dを追加した構成に変形している。このように、図2の第1電流源回路421又は第2電流源回路422には、2つのスイッチを直列に配置することで、図6、図7、図29、図30、図32などに示した電流源回路の構成を任意に用いることができる。

なお図2では、1本の信号線ごとに第1電流源回路421又は第2電流源回路4
20 22の2つの電流源回路を有する電流源回路420を設けた構成を示したが、本発明はこれに限定されない。例えば、1本の信号線ごとに3つの電流源回路420を設けてもよい。そして各電流源回路420には異なるビデオ信号用定電流源109から信号電流を設定するようにしてもよい。例えば、1つの電流源回路420には、1ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1つの電流源回路
25 420には、2ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1つの電流源回路420には、3ビット用のビデオ信号用定電流源を用いて信号電流を

設定するようにしてもよい。

本実施の形態は、実施の形態 1～4 と自由に組み合わせることが可能である。つまり、図 4、図 5、図 26、図 27 に示すように、各列に 1 つの電流源回路が配置されていたところを、図 2 に示すように図 6 (A) の電流源回路を各列に 2 つ配置
5 してもよい。そうすると、例えば図 2 において電流源回路 421 から供給される電流が 4.9 A として、電流源回路 422 から供給される電流を 5.1 A とすると、フレーム毎に電流源回路 421 及び電流源回路 422 の一方から電流が供給されるようにすることによって、電流源回路のパラツキを平均化することが出来る。

(実施の形態 6)

10 図 2～図 5 において示したビデオ信号用定電流源 109 は、基板上に信号線駆動回路と一体形成してもよいし、ビデオ信号用電流 109 として、基板の外部から IC 等を用いて一定の電流を入力してもよい。そして基板上に一体形成する場合には、図 6～8、図 29、図 30、図 32 などに示した電流源回路のいずれを用いて形成してもよい。本実施の形態では、3 ビット用のビデオ信号用電流源 109 を図 6
15 (C) のようなカレントミラー回路の電流源回路で構成する場合について図 23～図 25 を用いて説明する。

なお、電流が流れる向きは、画素の構成などにより、変わってくる。その場合、トランジスタの極性を変更することなどにより、容易に対応できる。

図 23 において、ビデオ信号用定電流源 109 は、ビデオ線 (Video data 線) (電
20 流線) へ所定の信号電流 I data を出力するか否かを 3 ビットのデジタルビデオ信号 (Digital Data 1～Digital Data 3) が有する High 又は Low の情報によって制御される。

ビデオ信号用定電流源 109 は、スイッチ 180～スイッチ 182、トランジスタ 183～トランジスタ 188 及び容量素子 189 を有する。本実施の形態では、
25 トランジスタ 180～トランジスタ 188 は全て n チャネル型とする。

スイッチ 180 は 1 ビットのデジタルビデオ信号により制御される。スイッチ 1

81は2ビットのデジタルビデオ信号により制御される。スイッチ183は3ビットのデジタルビデオ信号により制御される。

トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はスイッチ180～スイッチ182の一方の端子に接続されている。トランジスタ186のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はトランジスタ188のソース領域とドレイン領域の一方に接続されている。

トランジスタ187とトランジスタ188のゲート電極には、端子eを介して外部から信号が入力される。また電流線190には端子fを介して外部から電流が供給される。

トランジスタ187のソース領域とドレイン領域は、一方はトランジスタ186のソース領域とドレイン領域の一方に接続され、他方は容量素子189の一方の電極に接続されている。トランジスタ188のソース領域とドレイン領域は、一方は電流線190に接続され、他方はトランジスタ186のソース領域とドレイン領域の一方に接続されている。

容量素子189の一方の電極は、トランジスタ183～トランジスタ186のゲート電極に接続され、他方の電極は V_{ss} に接続されている。容量素子189は、トランジスタ183～トランジスタ186のゲート・ソース間電圧を保持する役目を担う。

そしてビデオ信号用定電流源109では、端子eから入力される信号によりトランジスタ187及びトランジスタ188がオンになると、端子fから供給される電流が電流線190を介して容量素子189に流れていく。

そして徐々に容量素子189に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が V_{th} になると、トランジスタ183～トランジスタ186はオンになる。

容量素子189において、その両電極の電位差、つまりトランジスタ183～ト

ランジスタ 186 のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続けられる。言い換えると、トランジスタ 183 ~ トランジスタ 186 が信号電流を流すことが出来るまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ 183 ~ トランジスタ 186 は完全にオンになる。

そしてビデオ信号用定電流源 109 において、3 ビットのデジタルビデオ信号により、スイッチ 180 ~ スイッチ 182 の導通又は非導通が選択される。例えば、スイッチ 180 ~ スイッチ 182 が全て導通状態になったときは、電流線に供給される電流は、トランジスタ 183 のドレイン電流と、トランジスタ 184 のドレイン電流と、トランジスタ 185 のドレイン電流の総和となる。また、スイッチ 180 のみが導通状態になったときは、トランジスタ 183 のドレイン電流のみが電流線に供給される。

このときトランジスタ 183 のドレイン電流と、トランジスタ 184 のドレイン電流と、トランジスタ 185 のドレイン電流を 1 : 2 : 4 として設定すると、 $2^3 = 8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ 183 ~ 185 の W (チャネル幅) / L (チャネル長) 値を、1 : 2 : 4 として設計すると、それぞれのオン電流が 1 : 2 : 4 となる。

なお、図 23 では、電流線 (ビデオ) 線が 1 本の場合について示した。しかし、電流を供給する信号線駆動回路の構成が図 4 のような回路か、又は図 26、図 27 のような回路かによって、電流線 (ビデオ線) の数は異なる。そこで、図 23 の回路において、電流線 (ビデオ線) が複数になった場合を、図 41 に示す。

次いで図 23 とは異なる構成のビデオ信号用電流源 109 を図 24 に示す。図 24 においては、図 23 に示すビデオ信号用電流源 109 と比べて、トランジスタ 187、188 を除いて、容量素子 189 の一方の端子を電流線 190 に接続した構成になっている点以外は、図 23 に示すビデオ信号用電流源 109 の動作と同じであるので、本実施の形態では説明は省略する。

- 図 2 4 の構成では、ビデオ線（電流線）に電流を供給し続けている間は、端子 f より信号（電流）を入力しつづけなければならない。もし、端子 f より流れる電流の入力を止めると、容量素子 1 8 9 にある電荷が、トランジスタ 1 8 6 を通って放電されてしまう。その結果、トランジスタ 1 8 6 のゲート電極の電位が小さくなり、
- 5 トランジスタ 1 8 3 ～ 1 8 5 から、正常な電流が出力できなくなってしまう。一方、図 2 3 の構成の場合には、容量素子 1 8 9 に所定の電荷が保持されているため、ビデオ線（電流線）に電流を供給している間においても、端子 f より信号（電流）を入力し続ける必要はない。よって、図 2 4 の構成では、容量素子 1 8 9 は、省略してもよい。
- 10 なお、図 2 4 では、電流線（ビデオ）線が 1 本の場合について示した。しかし、図 4 のような回路か、又は図 2 6、図 2 7 のような回路かによって、電流線（ビデオ線）の数は異なる。そこで、図 2 4 の回路において、電流線（ビデオ線）が複数になった場合の図を、図 4 2 に示す。

続いて図 2 3、2 4 とは異なる構成のビデオ信号用電流源 1 0 9 を図 2 5 に示す。

- 15 図 2 5 においては、図 2 3 に示すビデオ信号用電流源 1 0 9 と比べて、トランジスタ 1 8 6、1 8 7、1 8 8 及び容量素子 1 8 9 を除いて、トランジスタ 1 8 3 ～ トランジスタ 1 8 5 のゲート電極には端子 f を介して外部から一定の電圧が印加される構成になっている点以外は、図 2 3 に示すビデオ信号用電流源 1 0 9 の動作と同じあるので、本実施の形態では説明は省略する。
- 20 図 2 5 の場合は、端子 f から、トランジスタ 1 8 3 ～ 1 8 5 のゲート電極に電圧（ゲート電圧）を加える。しかし、トランジスタ 1 8 3 ～ 1 8 5 は、同じゲート電圧が印加されても、該トランジスタ 1 8 3 ～ 1 8 5 の特性がばらつけば、該トランジスタ 1 8 3 ～ 1 8 5 のソース・ドレイン間に流れる電流値もばらつく。したがって、ビデオ線（電流線）に流れる電流もばらつく。また、温度によっても、特性が
- 25 変化するため、電流値も変化してしまう。

一方、図 2 3、図 2 4 の場合は、端子 f より、電圧を加えることもできるが、電

流を加えることもできる。電流を加えた場合、トランジスタ 183～186 までの特性がそろっていれば、電流値はばらつかなくなる。また、温度によって特性が変化しても、トランジスタ 183～186 の特性が、同程度に変化するため、電流値は変化しなくなる。

- 5 なお図 25 の場合は、端子 f から、トランジスタ 183～185 に電圧（ゲート電圧）を加えるが、その電圧はビデオ信号によって変化しない。図 25 においては、ビデオ信号は、スイッチ 180～182 を制御することで、電流が電流線に流れるかどうかを制御する。そこで、図 43 のように、トランジスタ 183～185 のゲート電極に電圧（ゲート電圧）を加え、その電圧はビデオ信号によって変化するようにしてもよい。これにより、ビデオ信号用電流の大きさを変えることができる。
- 10 また、図 44 のように、トランジスタ 183 のゲート電極に加える電圧（ゲート電圧）をアナログ電圧にして、階調にしたがって、電圧を変化させ、電流を変えるようにしてもよい。

- 続いて図 23、24、25 とは異なる構成のビデオ信号用電流源 109 を図 9 に
- 15 示す。図 23 では、図 6（C）の電流源回路を適用していたが、図 9 では、図 6（A）の電流源回路を適用している。

- 図 23 の場合、トランジスタ 183～186 の特性がばらつくと、電流値もばらついてしまう。一方、図 9 では、各電流源に対して設定動作を行っている。よって、トランジスタのばらつきの影響を小さくすることができる。ただし、図 9 の場合、
- 20 設定動作を行っているときには、入力動作（電流線へ電流を供給する動作）を同時に行うことができない。よって、設定動作は、入力動作を行っていない期間に行う必要がある。入力動作を行っている期間にも設定動作ができるようにするためには、図 10 のように、複数の電流源回路を配置し、一方の電流源回路が設定動作を行っている時には、もう一方の電流源回路で入力動作を行うようにしてもよい。

- 25 なお本実施の形態は、実施の形態 1～5 と自由に組み合わせることが可能である。（実施の形態 7）

本発明の実施の形態について、図 1 1 を用いて説明する。図 1 1 (A) において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流を I_A 、 I_B とし、画素に供給される信号電流を I_{data} とすると、 $I_A = I_B + I_{data}$ が成立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 I_A 、 I_B を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A からの電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図 1 1 (B) において、ビデオ信号用定電流源（以下定電流源と表記）C、E は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からビデオ信号用電流が供給される。

なお、図 1 1 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとることが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1 ～ 6 と任意に組み合わせることが可能である。

〈実施例 1〉

本実施例では、時間階調方式について図 1 4 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり図 1 4 (A) に示すように、1 秒間に 60 回程度の画面の描画が行わ

れる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

本実施例では一例として、特許文献1の公報にて公開されている時間階調方式を説明する。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す（図14（B））。

各サブフレーム期間は、アドレス（書き込み）期間 T_a と、サステイン（発光）期間 T_s とを有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光する期間である。このとき、サステイン（発光）期間SF1～SF3は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ としている。つまり、 n ビット階調を表現する際は、 n 個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ としている。そして、どのサステイン期間で発光素子が発光するかによって、1フレーム期間あたりに、各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、本実施例では図16（B）に示す画素を参照して説明する。図16（B）に示す画素は、電流入力方式が適用される。

まずアドレス期間 T_a においては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TF T606、607がオンする。このとき、信号線601を流れる電流を信号電流 I_{data} とする。そして容量素子610には所定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TF T606、607がオフする。

次いでサステイン期間 T_s においては、以下の動作を行う。第3の走査線604

が選択されて、TFT609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TFT608はオンしており、電流線605から信号電流I_{data}に等しい電流が流れる。これにより発光素子611が発光する。

以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。

- 5 この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B)(C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内に、その順序は変化しても良い。
- 10 また、m行目の走査線のサブフレーム期間SF2を図14(D)に図示する。図14(D)に図示するように、画素ではアドレス期間Ta2が終了したら、直ちにサステイン期間Ts2が開始されている。

本実施例は、実施の形態1～7と任意に組み合わせることが可能である。

〈実施例2〉

- 15 本実施例では、画素部に設けられる画素の回路の構成例について図13を用いて説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

- 図13(A)の画素は、信号線1101、第1および第2の走査線1102、1
20 103、電流線(電源線)1104、スイッチング用TFT1105、保持用TFT1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、発光素子1110とを有する。各信号線は、電流源回路1111に接続されている。

- なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回
25 路420に相当する。

スイッチング用TFT1105のゲート電極は、第1の走査線1102に接続さ

れ、第1の電極は信号線1101に接続され、第2の電極は駆動用TFT1107
の第1の電極と、変換駆動用TFT1108の第1の電極とに接続されている。保
持用TFT1106のゲート電極は、第2の走査線1103に接続され、第1の電
極は変換駆動用TFT1106の第1の電極に接続され、第2の電極は駆動用TFT
5 T1107のゲート電極と、変換駆動用TFT1108のゲート電極とに接続され
ている。駆動用TFT1107の第2の電極は、電流線（電源線）1104に接続
され、変換駆動用TFT1108の第2の電極は、発光素子1110の一方の電極
に接続されている。容量素子1109は、変換駆動用TFT1108のゲート電極
と第2の電極との間に接続され、変換駆動用TFT1108のゲート・ソース間電
10 圧を保持する。電流線（電源線）1104および発光素子1110の他方の電極に
は、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（A）の画素は、図30（B）の回路を画素に適用した場合に相当
する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対にな
っている。図13（A）の駆動用TFT1107が図30（B）のTFT126に相
15 当し、図13（A）の変換駆動用TFT1108が図30（B）のTFT122に相
当し、図13（A）の保持用TFT1106が図30（B）のTFT124に相当す
る。

図13（B）の画素は、信号線1151、第1及び第2の走査線1142、11
43、電流線（電源線）1144、スイッチング用TFT1145、保持用TFT
20 1146、変換駆動用TFT1147、駆動用TFT1148、容量素子1149、
発光素子1140とを有する。信号線1151は電流源回路1141に接続されて
いる。

なお、電流源回路1141が、信号線駆動回路403に配置されている電流源回
路420に相当する。

25 スwitching用TFT1145のゲート電極は、第1の走査線1142に接続さ
れ、第1の電極は信号線1151に接続され、第2の電極は駆動用TFT1148

の第1の電極と、変換駆動用TFT1147の第1の電極とに接続されている。保持用TFT1146のゲート電極は、第2の走査線1143に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲート電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電源線）1144に接続され、駆動用TFT1148の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1140の他方の電極には、
10 それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（B）の画素は、図6（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（B）の変換駆動用TFT1147が図6（B）のTFT122に相当し、図13（B）の駆動用TFT1148が図6（B）のTFT126に相当し、
15 図13（B）の保持用TFT1146が図6（B）のTFT124に相当する。

図13（C）の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線1124、電流線1138、スイッチング用TFT1125、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流
20 入力TFT1132、保持TFT1133、発光素子1136とを有する。各信号線は、電流源回路1137に接続されている。

スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極
25 と、消去用TFT1126の第1の電極とに接続されている。消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第

- 2の電極は電流線1124に接続されている。駆動用TF T 1 2 7の第1の電極は発光素子1136の一方の電極に接続され、駆動用TF T 1 1 2 7の第2の電極は電流源TF T 1 1 2 9の第1の電極に接続されている。電流源TF T 1 1 2 9の第2の電極は電流線1124に接続されている。容量素子1131の一方の電極は、
- 5 電流源TF T 1 1 2 9のゲート電極及びミラーTF T 1 1 3 0のゲート電極に接続され、他方の電極は電流線1124に接続されている。ミラーTF T 1 1 3 0の第1の電極は電流線1124に接続され、ミラーTF T 1 1 3 0の第2の電極は、電流入力TF T 1 1 3 2の第1の電極に接続されている。電流入力TF T 1 1 3 2の第2の電極は電流線1138に接続され、電流入力TF T 1 1 3 2のゲート電極
- 10 は第3の走査線1135に接続されている。電流保持TF T 1 1 3 3のゲート電極は第3の走査線1135に接続され、電流保持TF T 1 1 3 3の第1の電極は電源線1138に接続され、電流保持TF T 1 1 3 3の第2の電極は電流源TF T 1 1 2 9のゲート電極及びミラーTF T 1 1 3 0のゲート電極に接続されている。電流線1124および発光素子1136の他方の電極には、それぞれ所定の電位が入力
- 15 され、互いに電位差を有する。

本実施例は、実施の形態1～7、実施例1と任意に組み合わせることが可能である。

〈実施例3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

- 20 発光素子が有機EL素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。
- 25 最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。そのためには、ビデオ信号用定電流源の電流の大きさを色によって変えればよい。

その他の手法としては、画素、信号線駆動回路、ビデオ信号用定電流源などにおいて、図6(C)～図6(E)のような回路を用いることである。そして、図6(C)～図6(E)のような回路において、カレントミラー回路を構成する2つのトランジスタのW/Lの比率を色によって変える。これにより、画素に入力する電流の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態1～7、実施例1、2と任意に組み合わせることが可能である。

〈実施例4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図12を用いて説明する。図12は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図12(B)は、図12(A)のA-A'における断面図、図12(C)は図12(A)のB-B'における断面図である。

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路40

03と、ゲート信号線駆動回路4004a、bとは、複数のTF Tを有している。
図12(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TF T(但し、ここではnチャネル型TF Tとpチャネル型TF Tを図示)4201及び画素部4002に含まれる消去用TF T4202
5 を図示した。

本実施例では、駆動TF T4201には公知の方法で作製されたpチャネル型TF Tまたはnチャネル型TF Tが用いられ、消去用TF T4202には公知の方法で作製されたnチャネル型TF Tが用いられる。

駆動TF T4201及び消去用TF T4202上には層間絶縁膜(平坦化膜)4
10 301が形成され、その上に消去用TF T4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したも
15 のを用いても良い。

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には発光層4204が形成される。発光層4204は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系(モノ
20 マー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層4204の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅も
25 しくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と発光層4204の界面に存在する

水分や酸素は極力排除しておくことが望ましい。従って、発光層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 5 4 2 0 5 は所定の電圧が与えられている。

以上のようにして、画素電極（陽極） 4 2 0 3、発光層 4 2 0 4 及び陰極 4 2 0 5 からなる発光素子 4 3 0 3 が形成される。そして発光素子 4 3 0 3 を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

10 4 0 0 5 a は電源線に接続された引き回し配線であり、消去用 T F T 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と基板 4 0 0 1 との間を通り、異方導電性フィルム 4 3 0 0 を介して F P C 4 0 0 6 が有する F P C 用配線 4 3 0 1 に電氣的に接続される。

シーリング材 4 0 0 8 としては、ガラス材、金属材（代表的にはステンレス材）、
15 セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、F R P (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを P V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。
20

但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材 4 2 1 0 としては窒素やアルゴンなどの不活性な気体の他に、紫外
25 線硬化樹脂または熱硬化樹脂を用いることができ、P V C (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラ

ル) またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

また充填材4210を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面
5 に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物
10 質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

図12(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

また、異方導電性フィルム4300は導電性フィラー4300aを有している。
15 基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

本実施例は、実施の形態1~7、実施例1~3と任意に組み合わせることが可能である。

20 〈実施例5〉

発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、
25 音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型

ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 22 に示す。

図 22 (A) は発光装置であり、筐体 2001、支持台 2002、表示部 2003、スピーカー部 2004、ビデオ入力端子 2005 等を含む。本発明は表示部 2003 に用いることができる。また本発明により、図 22 (A) に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図 22 (B) はデジタルスチルカメラであり、本体 2101、表示部 2102、受像部 2103、操作キー 2104、外部接続ポート 2105、シャッター 2106 等を含む。本発明は表示部 2102 に用いることができる。また本発明により、図 22 (B) に示すデジタルスチルカメラが完成される。

図 22 (C) はノート型パーソナルコンピュータであり、本体 2201、筐体 2202、表示部 2203、キーボード 2204、外部接続ポート 2205、ポインティングマウス 2206 等を含む。本発明は表示部 2203 に用いることができる。また本発明により、図 22 (C) に示す発光装置が完成される。

図 22 (D) はモバイルコンピュータであり、本体 2301、表示部 2302、スイッチ 2303、操作キー 2304、赤外線ポート 2305 等を含む。本発明は表示部 2302 に用いることができる。また本発明により、図 22 (D) に示すモバイルコンピュータが完成される。

図 22 (E) は記録媒体を備えた携帯型の画像再生装置(具体的には DVD 再生装置)であり、本体 2401、筐体 2402、表示部 A 2403、表示部 B 2404、記録媒体 (DVD 等) 読み込み部 2405、操作キー 2406、スピーカー部 24

07等を含む。表示部A 2403は主として画像情報を表示し、表示部B 2404は主として文字情報を表示するが、本発明はこれら表示部A、B 2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明より、図22(E)に示すDVD再生装置が完成

5 される。

図22(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明は表示部2502に用いることができる。また本発明により、図22(F)に示すゴーグル型ディスプレイが完成される。

10 図22(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明は表示部2602に用いることができる。また本発明により、図22(G)に示すビデオカメラが完成される。

15 ここで図22(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22(H)に示す

20 携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子

25 通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動

画表示に好ましい。

- また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合に
- 5 は、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態 1～7、実施例 1～4 に示したいずれの構成を用いても良い。

- 10 本発明は、TFT の特性バラツキの影響を抑制して、所望の信号電流を外部に供給することができる信号線駆動回路を提供することができる。

- また本発明の信号線駆動回路には、各々が電流源回路を具備した第 1 及び第 2 のラッチが配置される。そして、電流源回路として、カレントミラー回路が有する構成を採用した場合には、その W/L を適宜変化させることで、ビデオ信号用定電流源
- 15 から大電流を供給することができる。その結果、設定動作を素早く正確に行うことができる。また第 1 のラッチが有する第 1 電流源回路、第 2 のラッチが有する電流源回路において、一方は設定動作を行い、他方は入力動作を行うことが可能となるため、本構成では、同時に 2 つの動作を行うことが出来る。

請 求 の 範 囲

1. 複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びビデオ信号用定電流源を有する信号線駆動回路であって、

- 5 前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチに配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記ビデオ信号用定電流源から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 10 前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。

2. 複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源（nは1以上の自然数）を有する信号線駆動回

- 15 路であって、

前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチに配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記n個のビデオ信号用定電流源の各々から供給される電流を加算した

- 20 電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 25 前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^{n-1}$ に設定されることを特徴とする信号線駆動回路。

3. 複数の信号線の各々に対応した $2 \times n$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源 (n は 1 以上の自然数) を有する信号線駆動回路であって、

前記 $2 \times n$ 個の電流源回路のうち、 n 個の電流源回路が第 1 及び第 2 ラッチの

5 各々に配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

10 前記第 2 ラッチに配置された n 個の電流源回路は、ラッチパルスに従って、前記第 1 ラッチから供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記複数の信号線には、前記第 2 ラッチに配置された n 個の電流源回路の各々から供給される電流を加算した電流が供給され、

15 前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^{n-1}$ に設定されることを特徴とする信号線駆動回路。

4. 複数の信号線の各々に対応した $(n+m)$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源 (n は 1 以上の自然数、 $n \geq m$) を有する信号線駆動回路であって、

20 前記 $(n+m)$ 個の電流源回路のうち、 n 個の電流源回路が第 1 ラッチに配置され、 m 個の電流源回路が第 2 ラッチに配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を

25 供給する供給手段を有し、

前記第 2 ラッチに配置された m 個の電流源回路は、ラッチパルスに従って、前記

第1ラッチに配置された n 個の電流源回路の各々から供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

5 2^n に設定されることを特徴とする信号線駆動回路。

5. 請求項1乃至請求項4のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10 6. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、前記ビデオ信号用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

15 7. 請求項1乃至請求項4のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

20 8. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、前記ビデオ信号用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

25 9. 請求項1乃至請求項4のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレ

インとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、

5 前記ビデオ信号用定電流源と前記第1トランジスタのドレインとの導通を制御する第1スイッチと、

前記第1トランジスタのドレインとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記ビデオ信号用定電流源から選択されたいずれか1つとの導通を制御する第2スイ

10 ャッチとを有することを特徴とする信号線駆動回路。

11. 請求項8乃至請求項10のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

12. 請求項8乃至請求項10のいずれか一項において、

15 前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

13. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する

20 第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

14. 請求項1乃至請求項4のいずれか一項において、

25 前記供給手段は、 a 個のトランジスタを含むカレントミラー回路を有し、

前記 a 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^a$ に設定さ

れ、

前記 a 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^a$ に設定されることを特徴とする信号線駆動回路。

15. 請求項 1 乃至請求項 4 のいずれか一項において、

- 5 前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

16. 請求項 1 乃至請求項 4 のいずれか一項において、

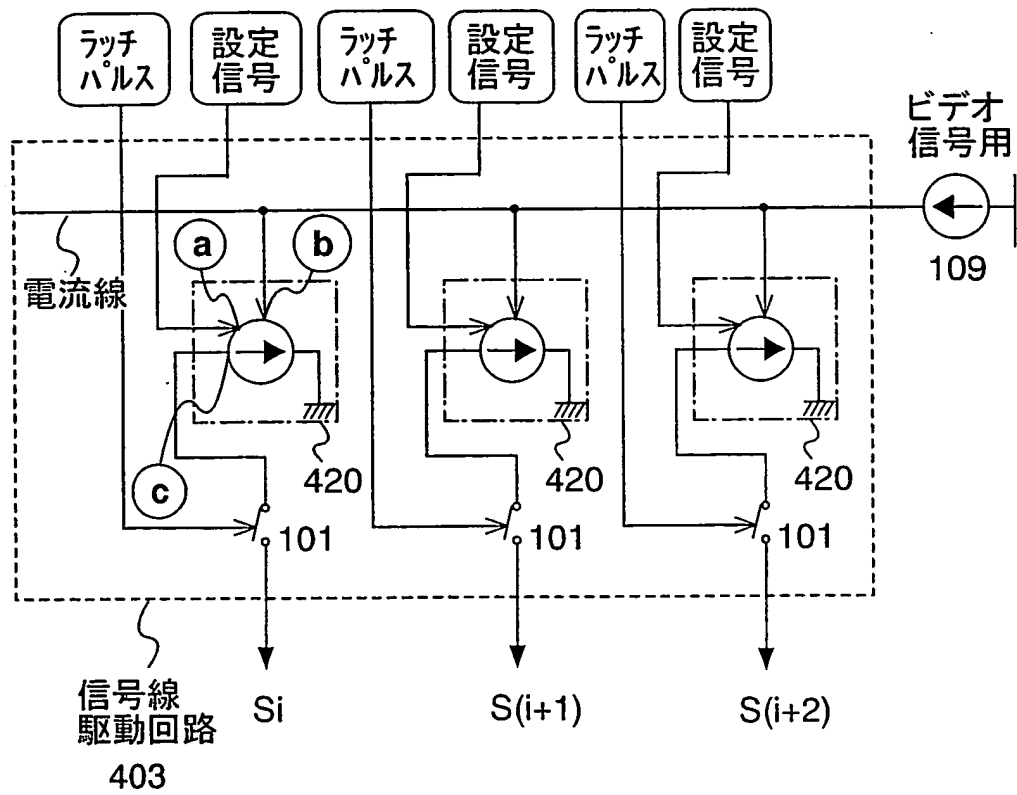
前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

- 10 17. 請求項 1 乃至請求項 16 のいずれか一項に記載の前記信号線駆動回路と、
各々が発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

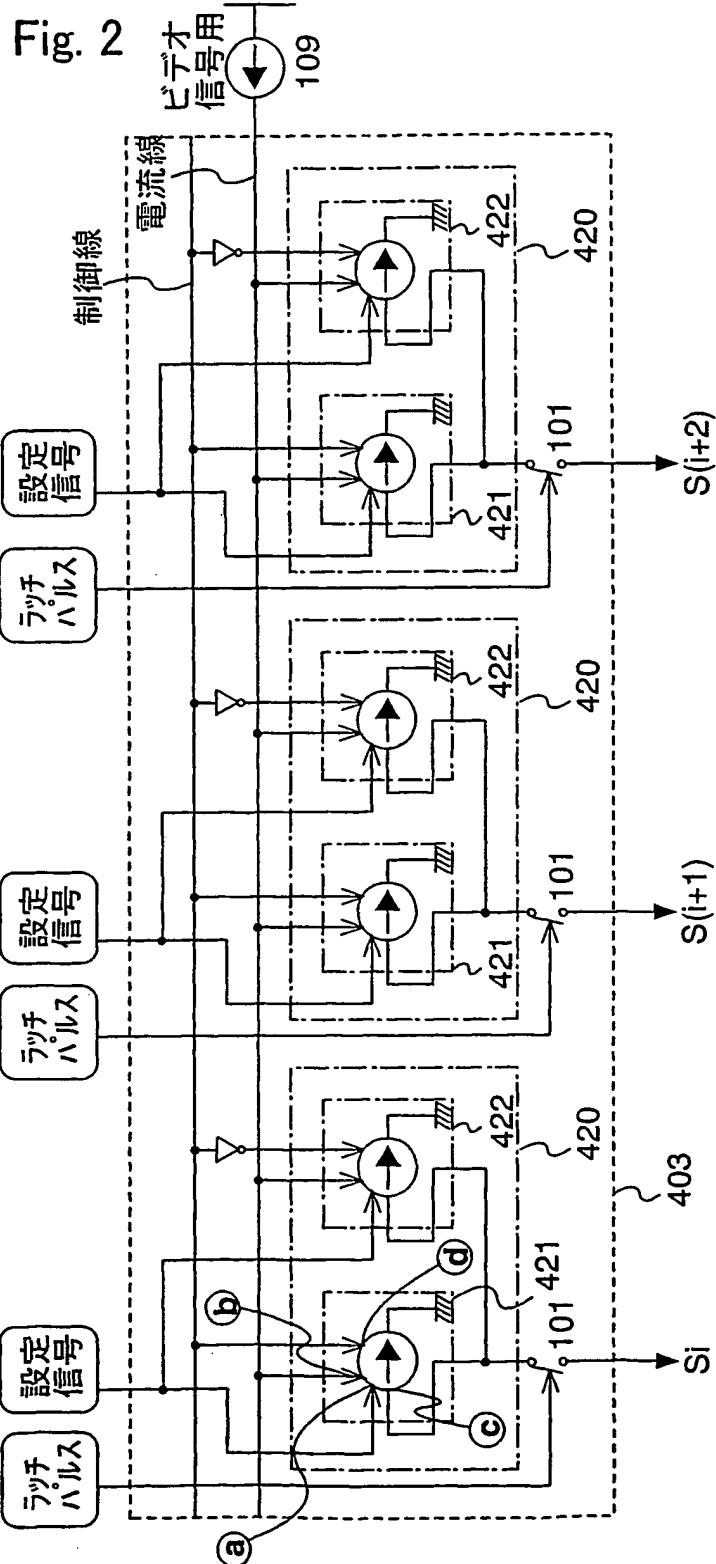
前記発光素子には、前記第 2 ラッチから電流が供給されることを特徴とする発光装置。

1/42

Fig. 1



2/42



3/42

Fig. 3A

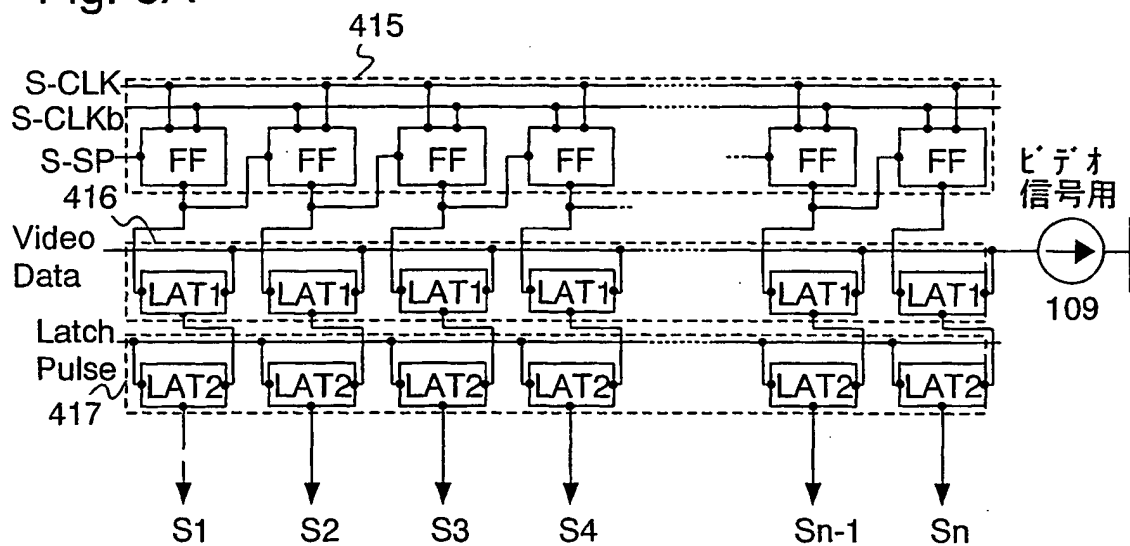
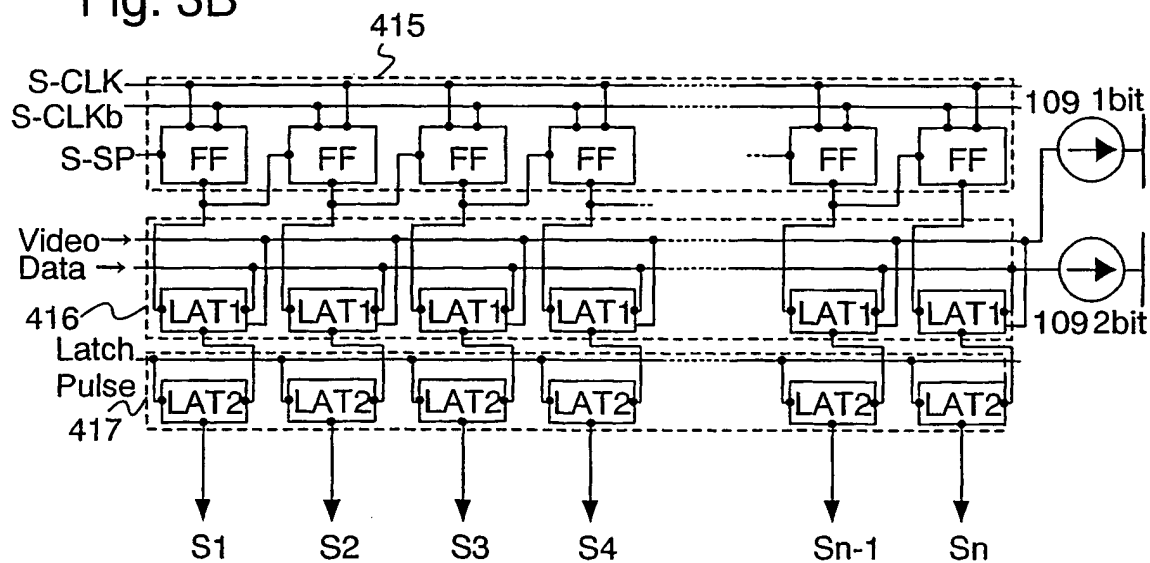
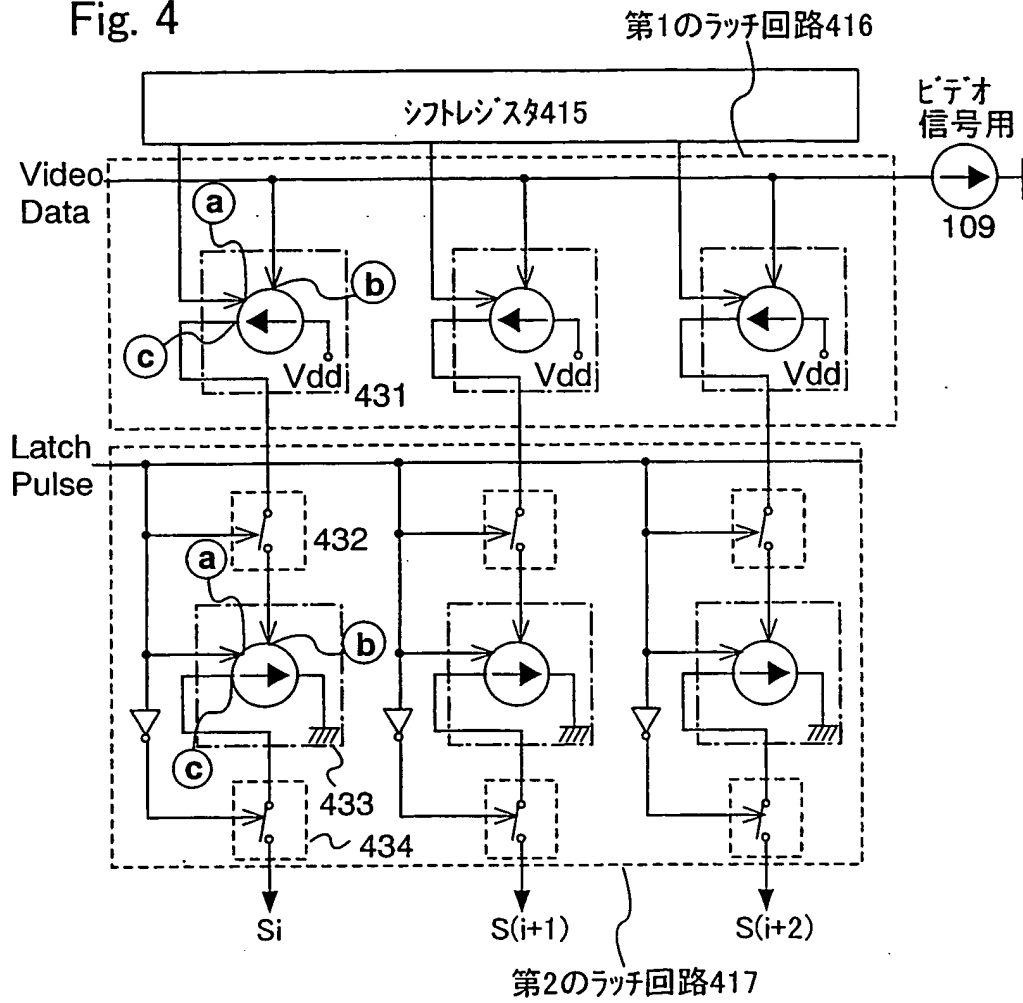


Fig. 3B



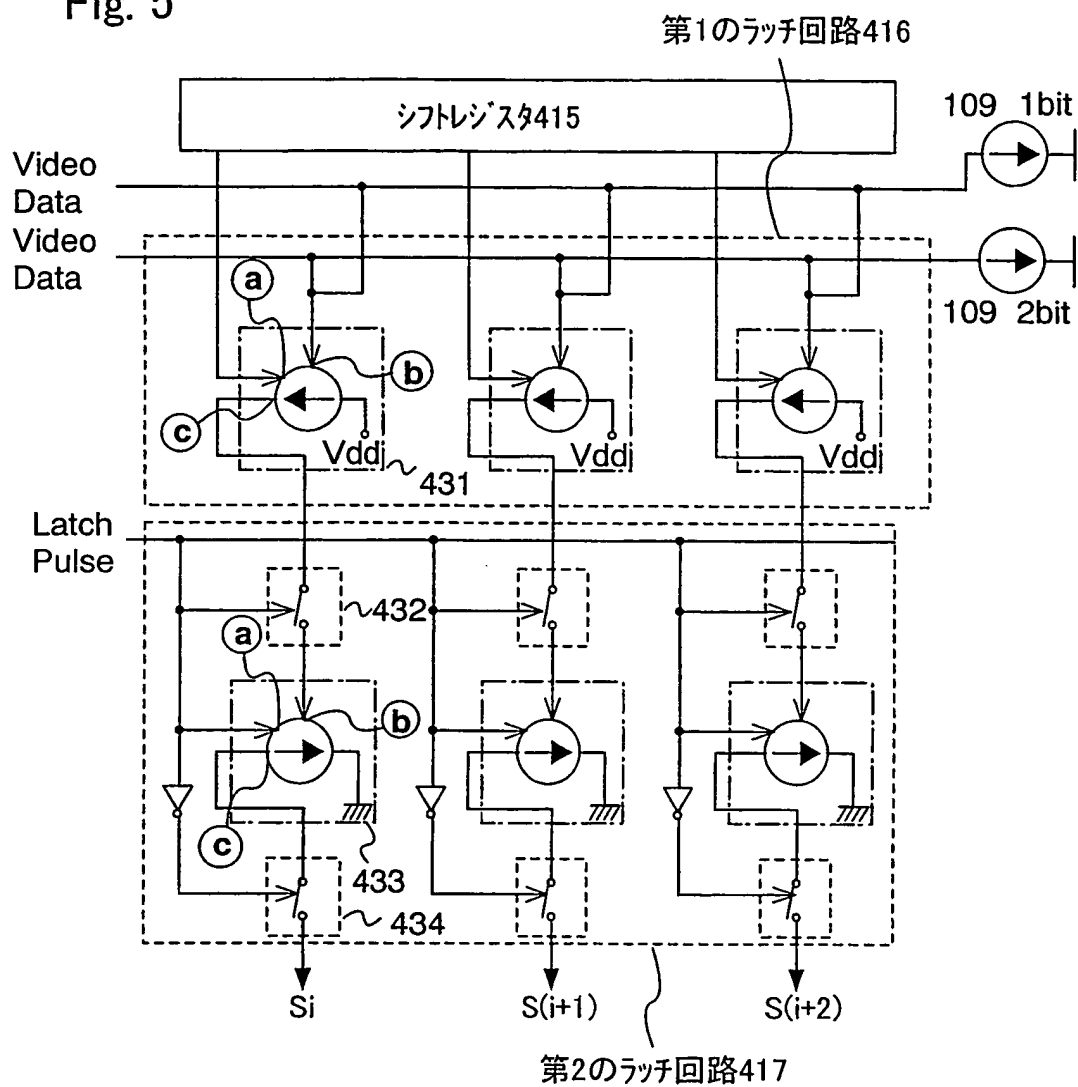
4/42

Fig. 4



5/42

Fig. 5



6/42

Fig. 6A

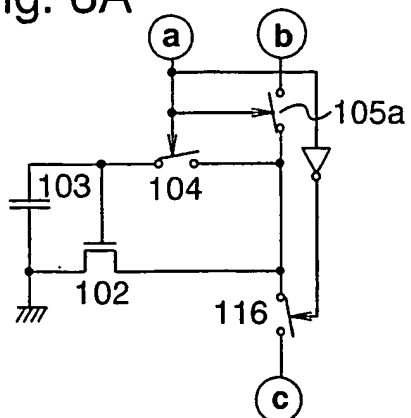


Fig. 6B

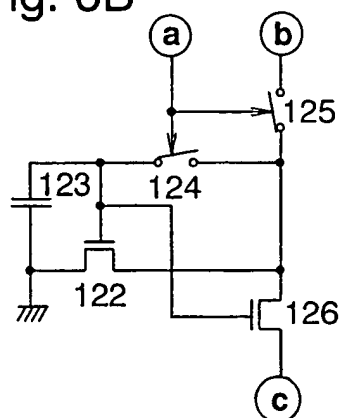


Fig. 6C

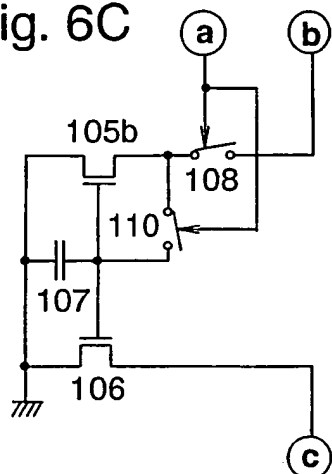


Fig. 6D

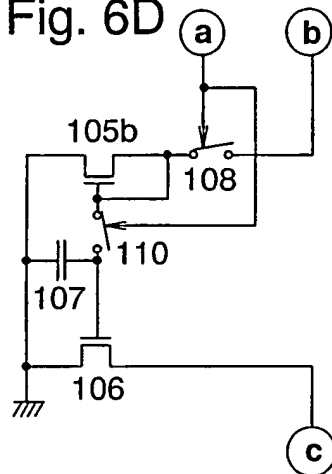
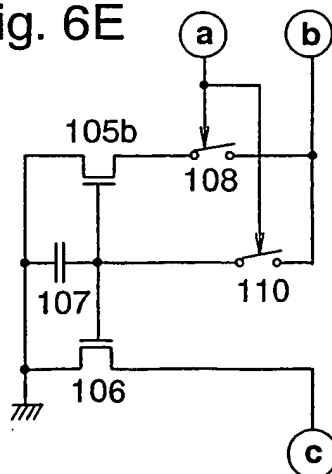


Fig. 6E



7/42

Fig. 7A

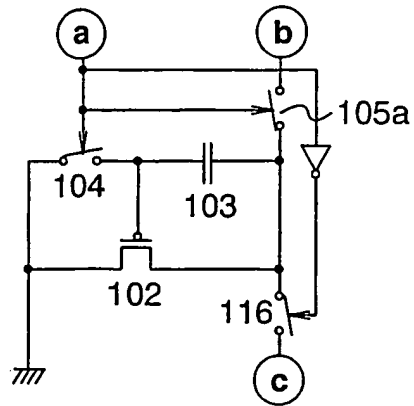


Fig. 7B

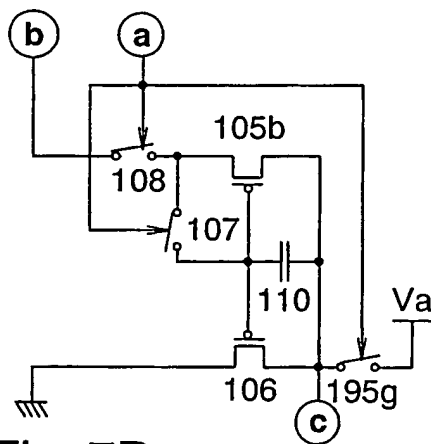


Fig. 7C

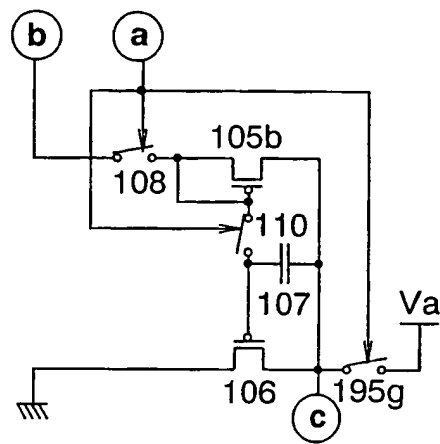


Fig. 7D

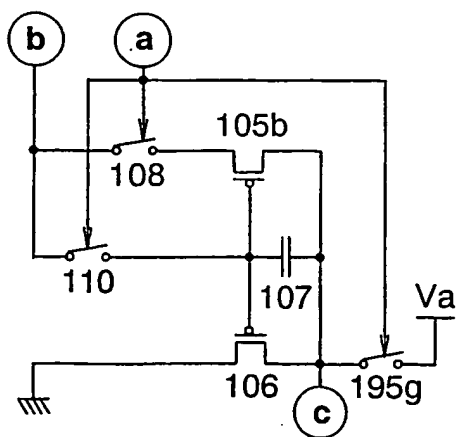


Fig. 8A

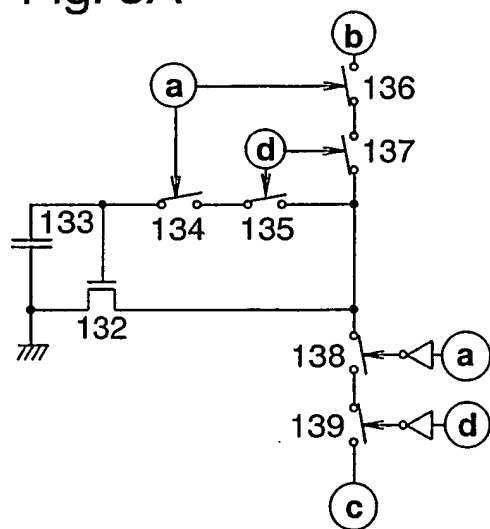


Fig. 8B

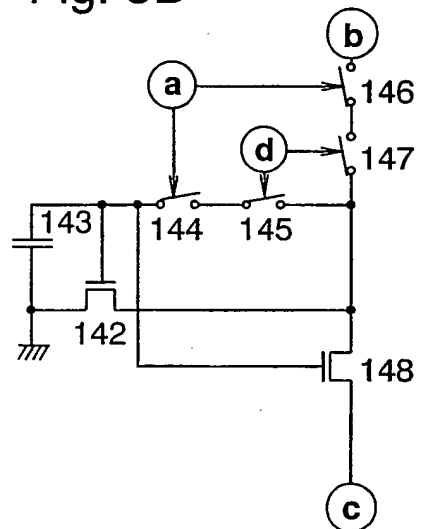
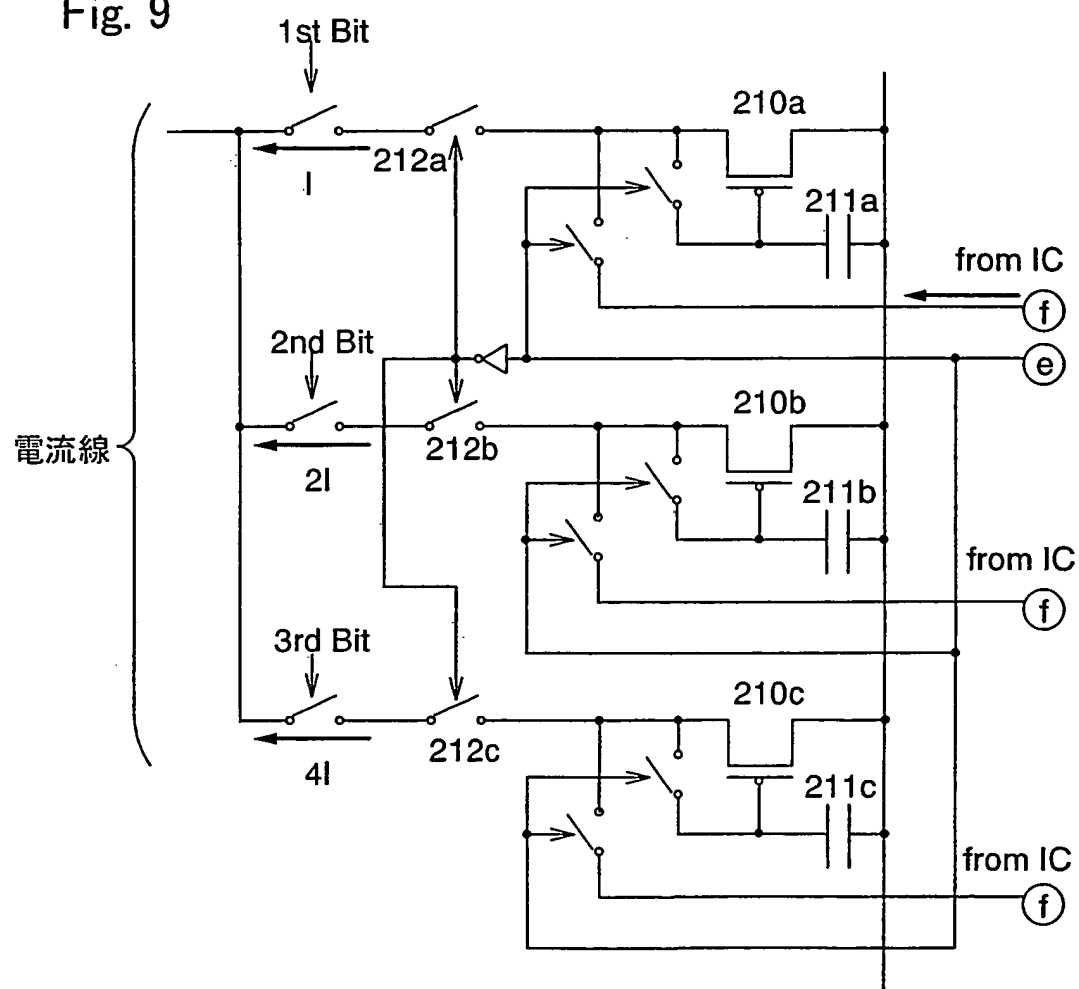
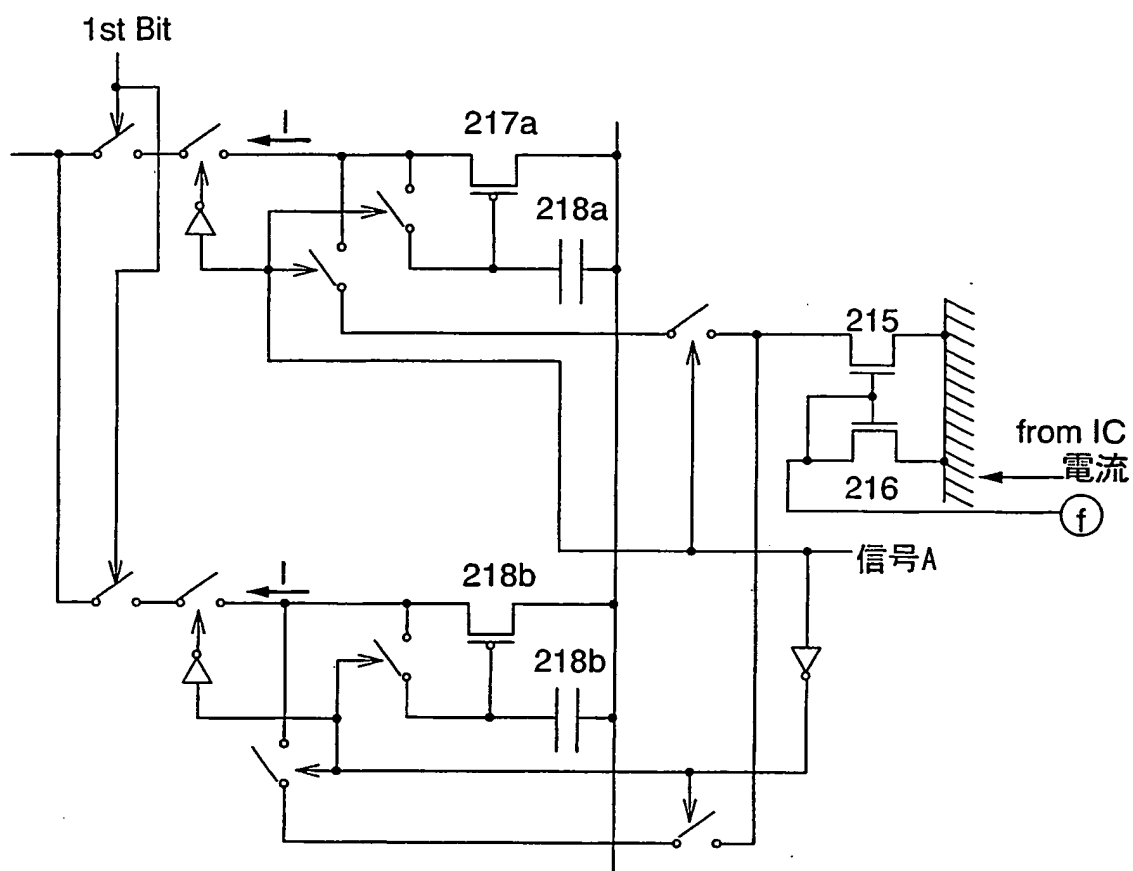


Fig. 9



10/42

Fig. 10



11/42

Fig. 11A

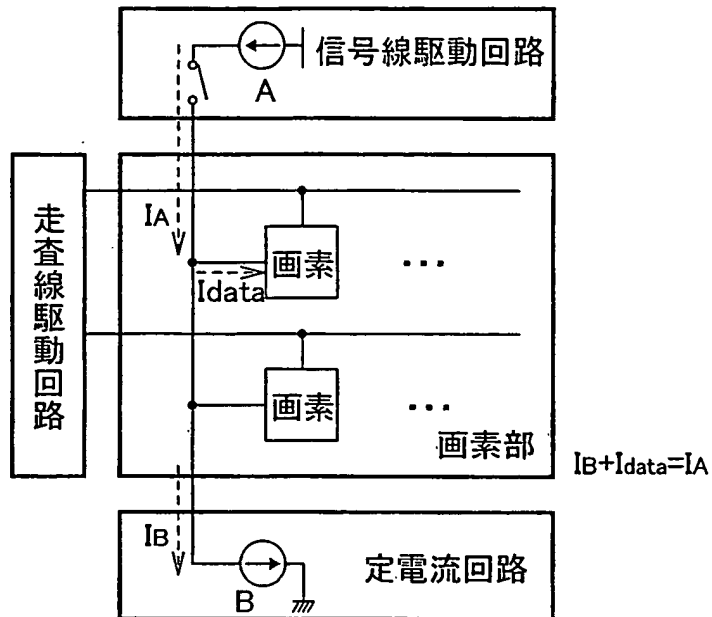


Fig. 11B

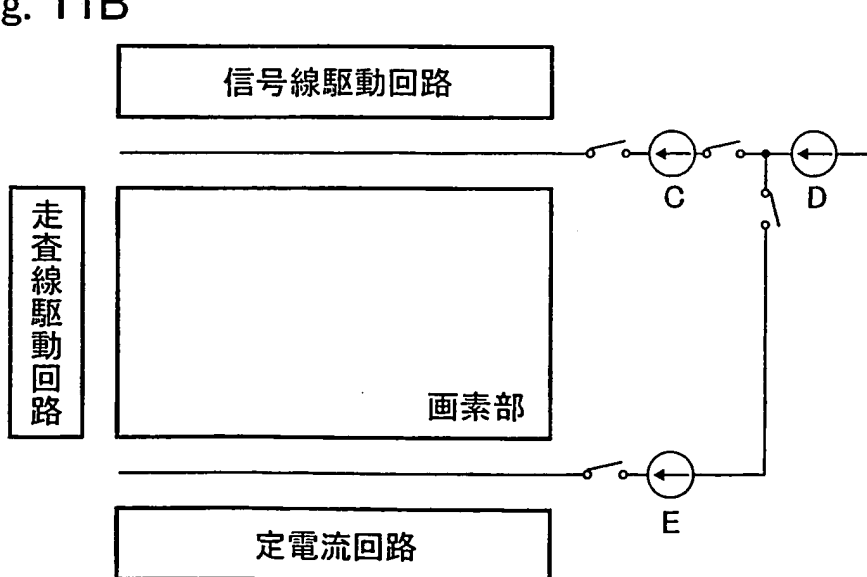


Fig. 12A

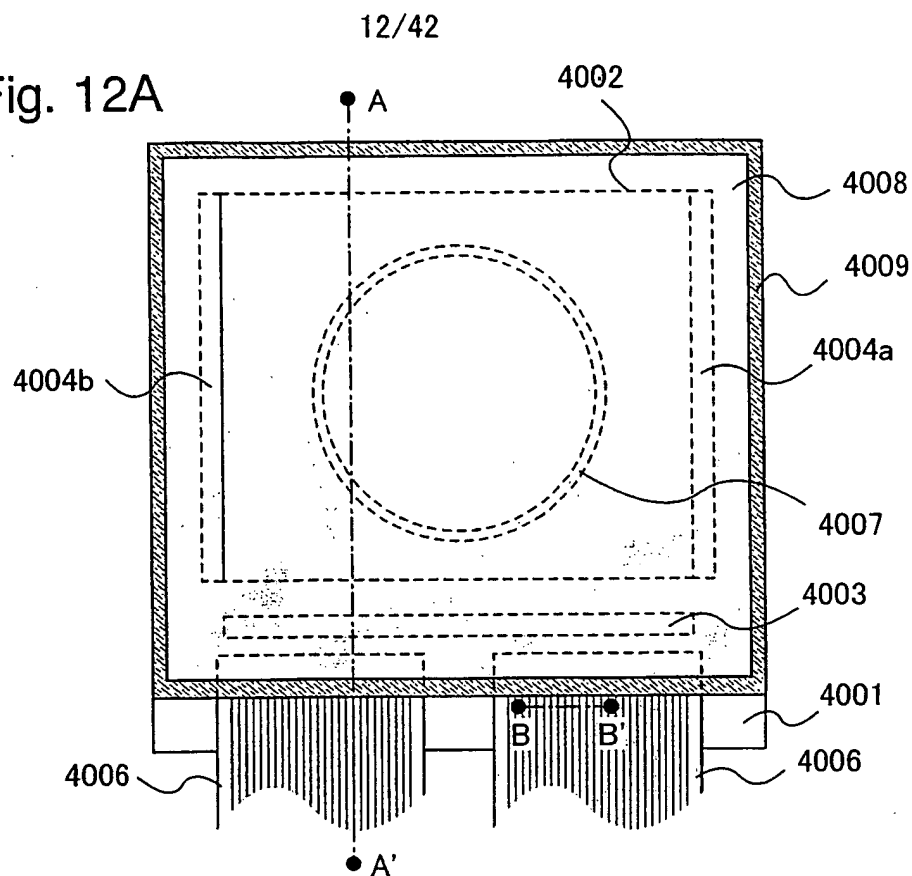


Fig. 12B

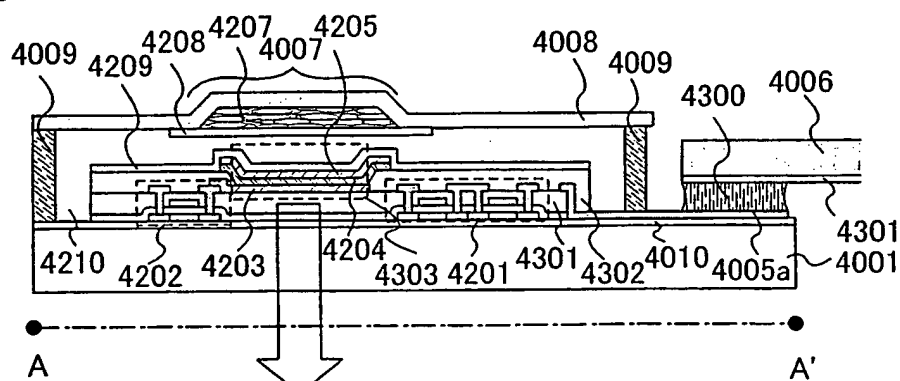
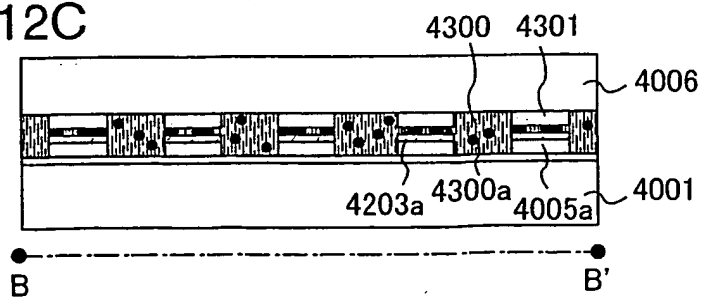


Fig. 12C



13/42

Fig. 13A

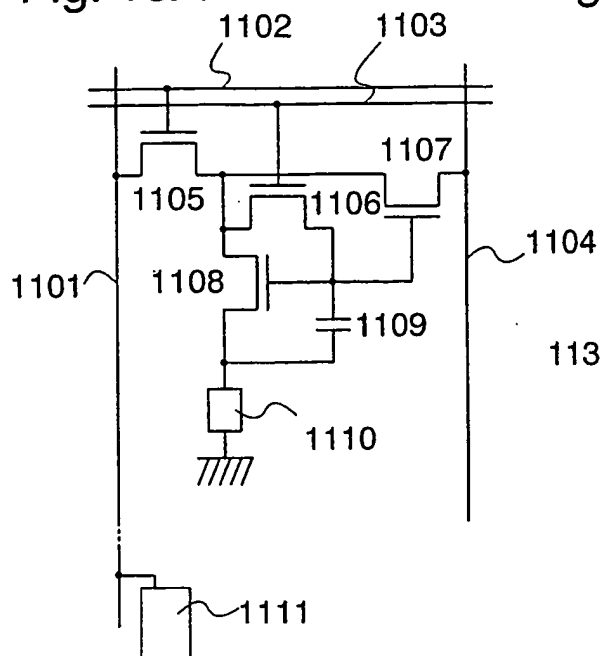


Fig. 13B

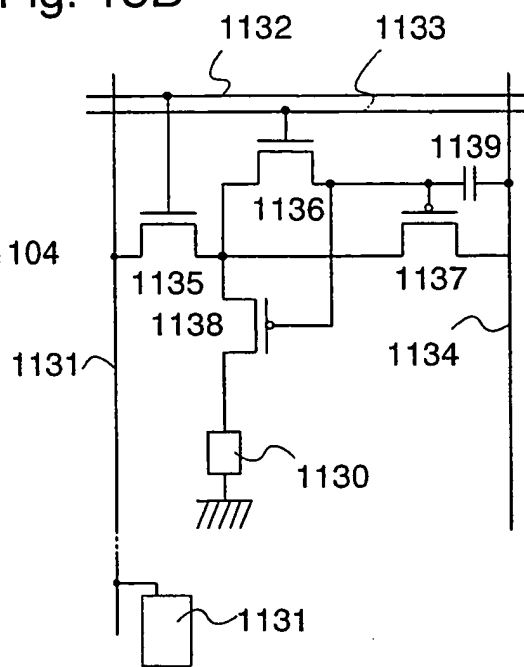
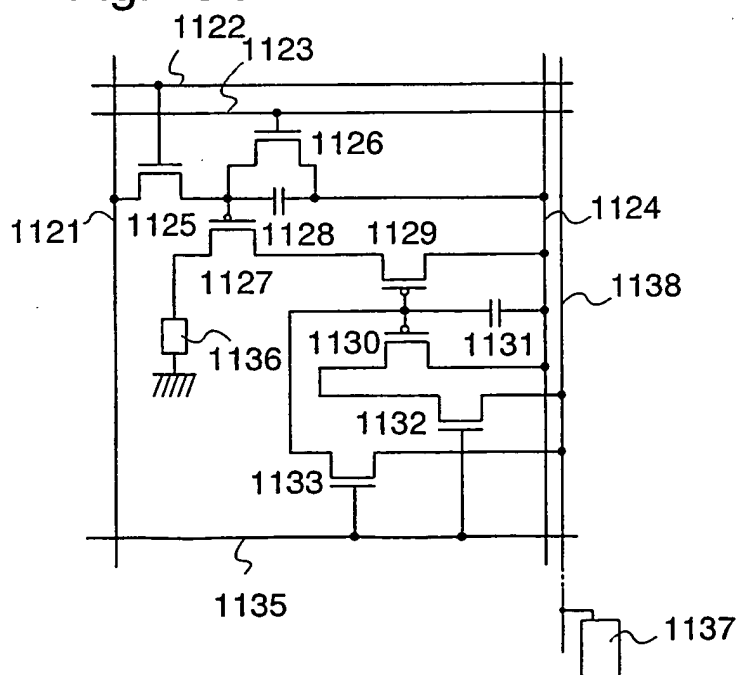


Fig. 13C



14/42

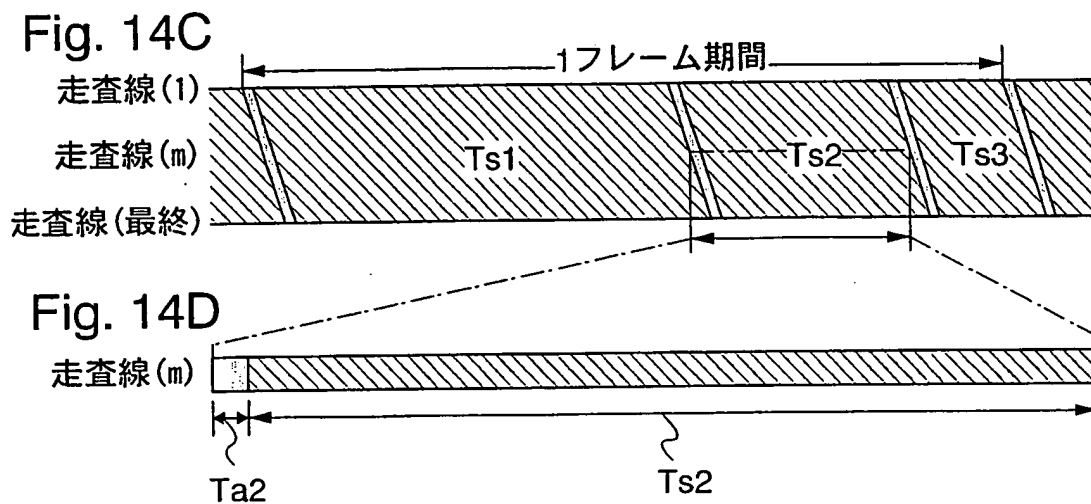
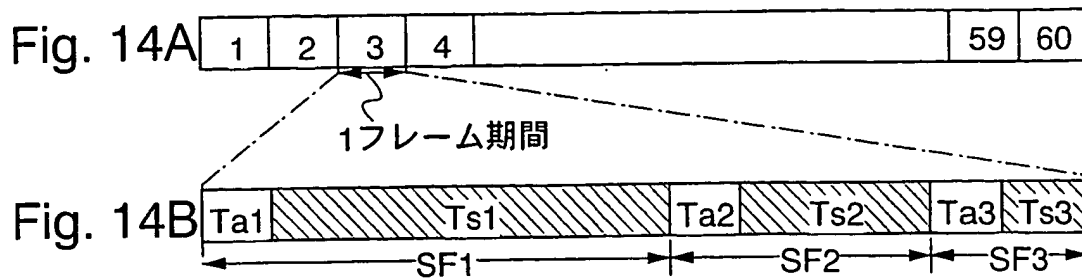


Fig. 15A

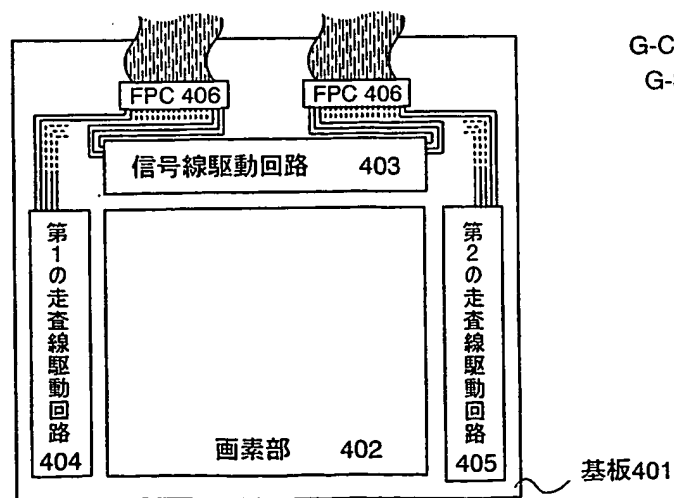
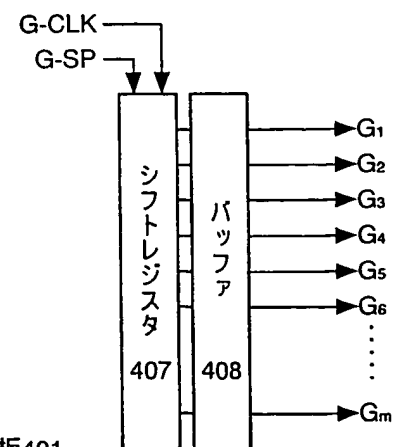


Fig. 15B



15/42

Fig. 16A

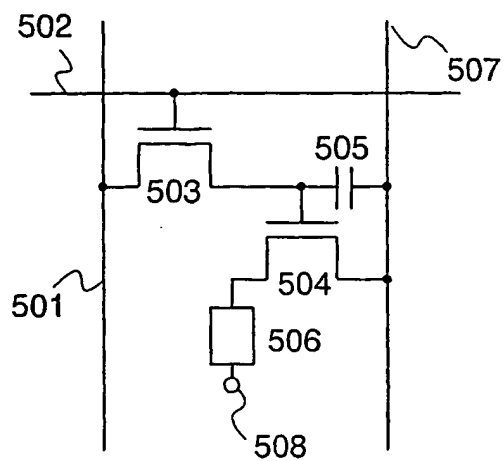
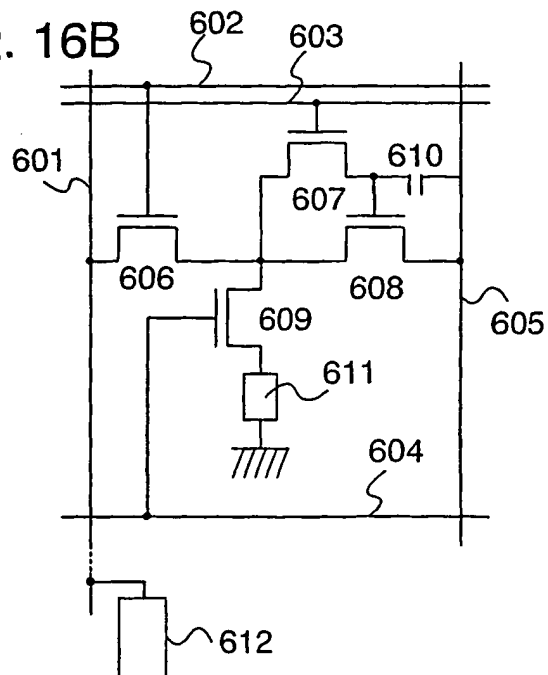


Fig. 16B



16/42

Fig. 17A 信号入力時

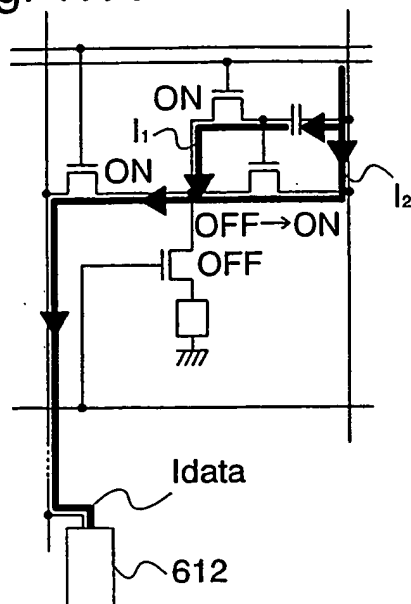


Fig. 17B 信号入力完了時

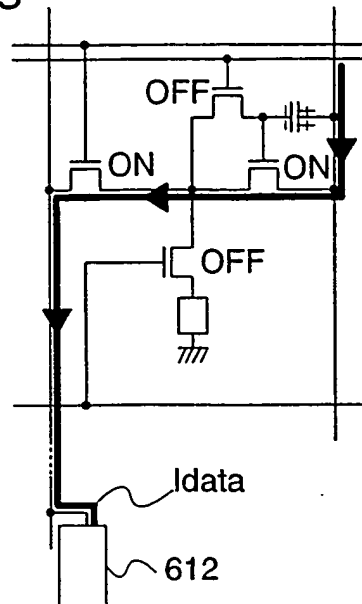


Fig. 17C 発光時

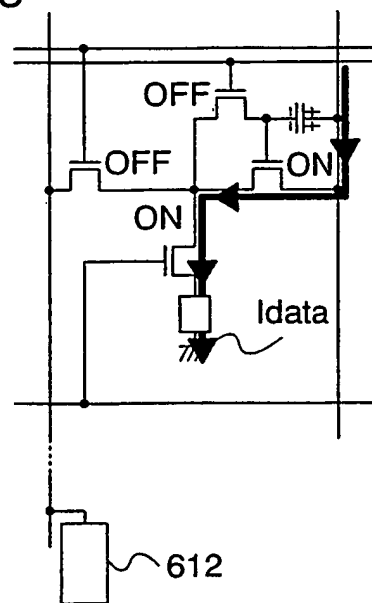


Fig. 17D

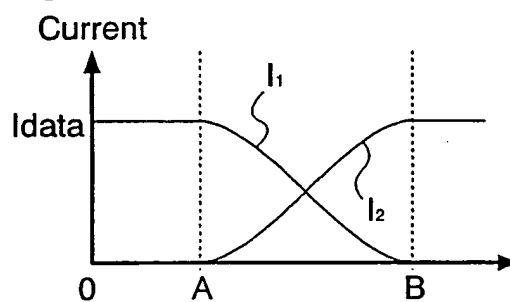
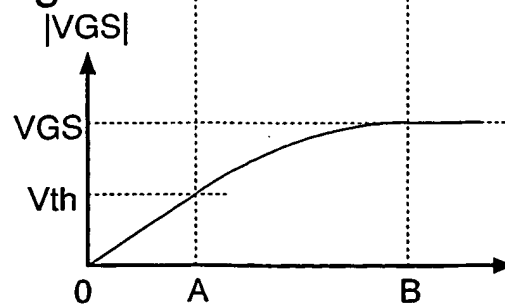


Fig. 17E



17/42

Fig. 18A

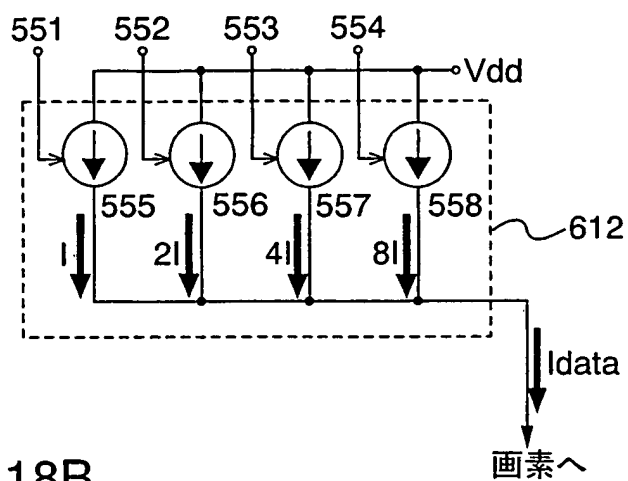
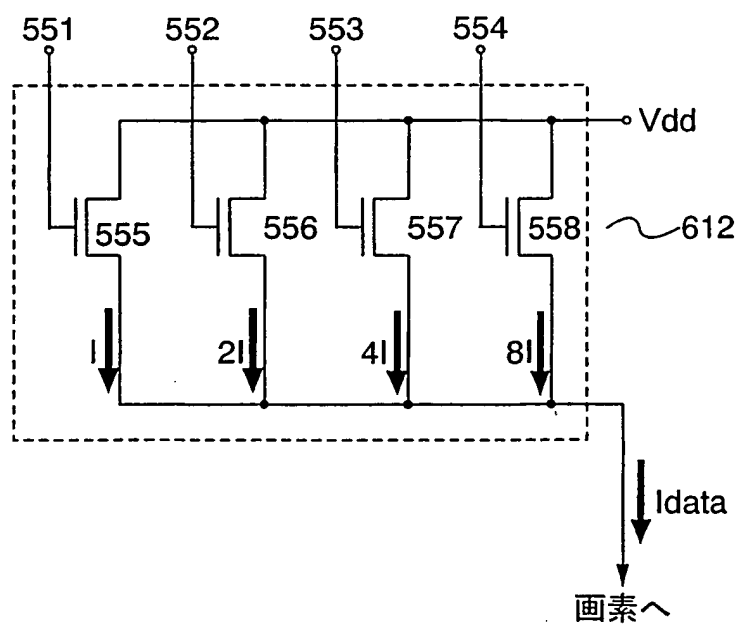


Fig. 18B



18/42

Fig. 19A 信号入力時

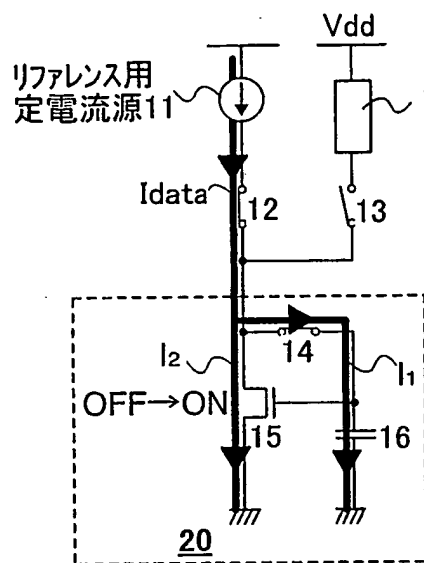


Fig. 19B

信号入力完了時

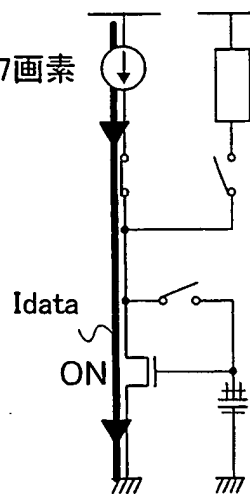


Fig. 19C

画素への信号入力時

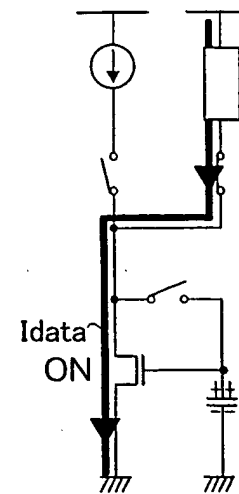


Fig. 19D

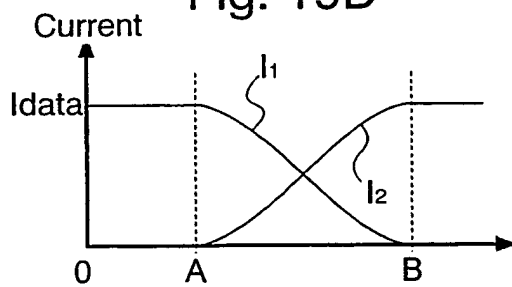


Fig. 19E

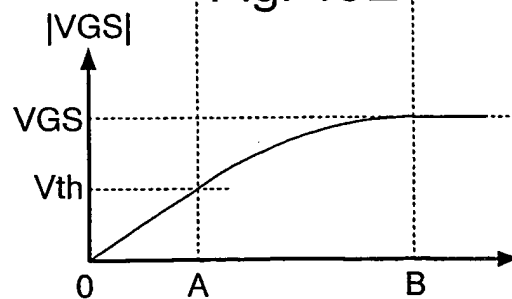
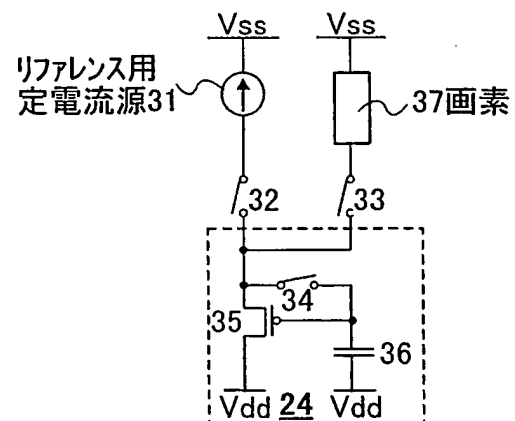


Fig. 19F



19/42

Fig. 20A 信号入力時

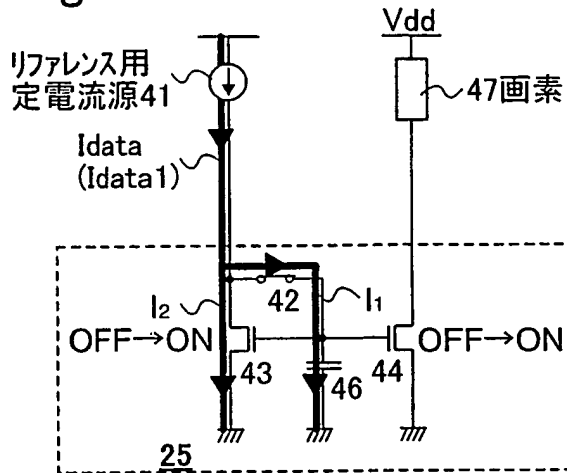


Fig. 20B 信号入力完了時

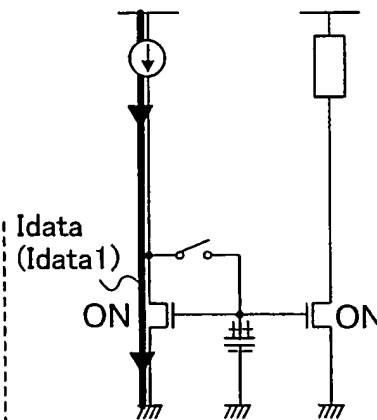


Fig. 20C 画素への信号入力時

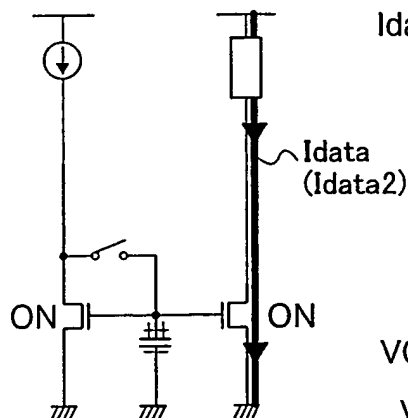


Fig. 20D

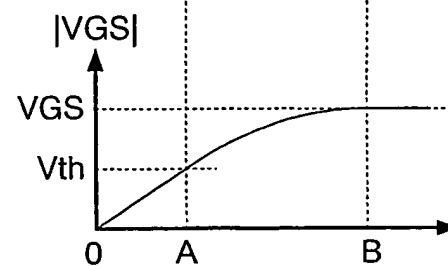
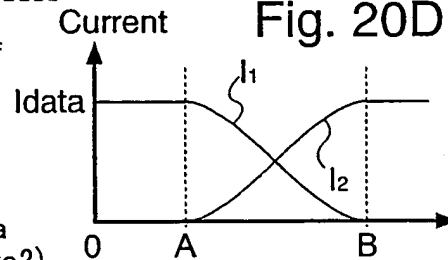
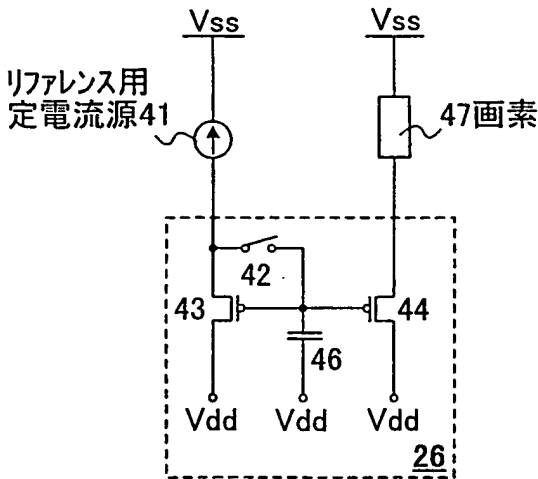


Fig. 20E

Fig. 21



21/42

Fig. 22A

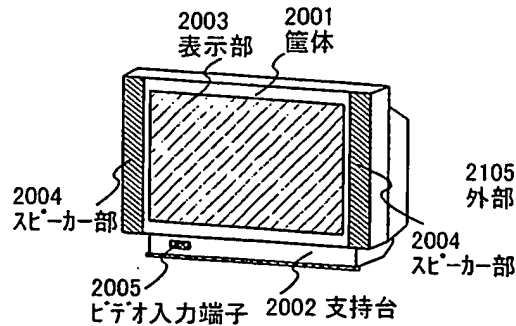


Fig. 22B

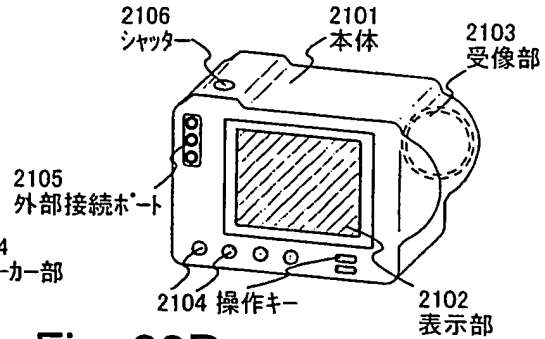


Fig. 22C

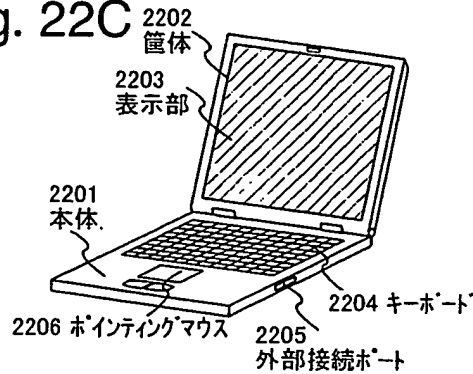


Fig. 22D

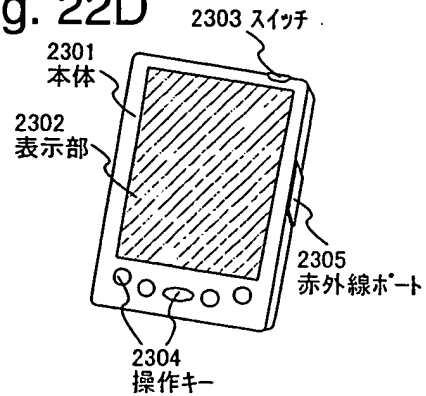


Fig. 22E

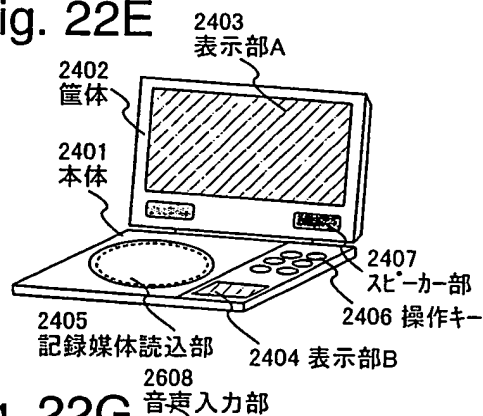


Fig. 22F

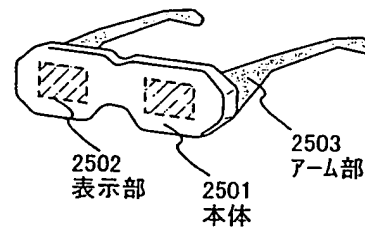


Fig. 22G

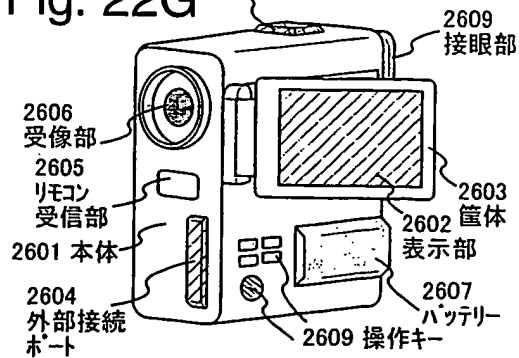
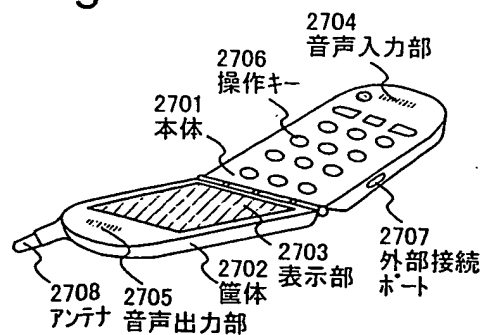


Fig. 22H



22/42

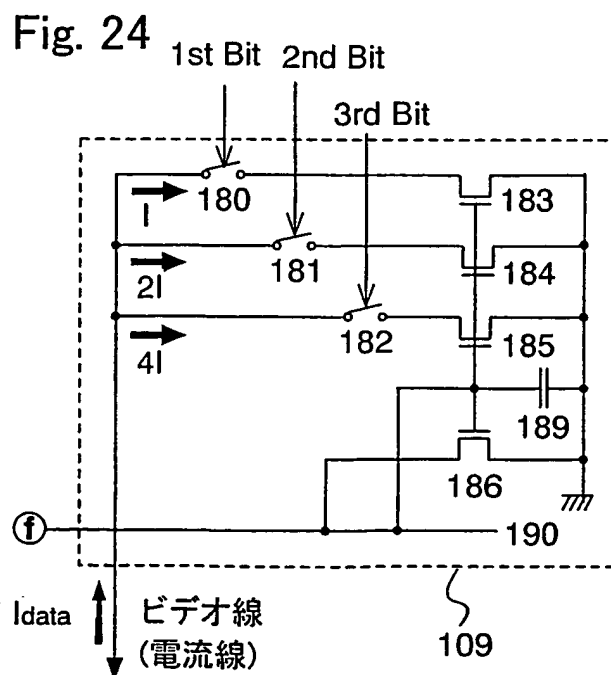
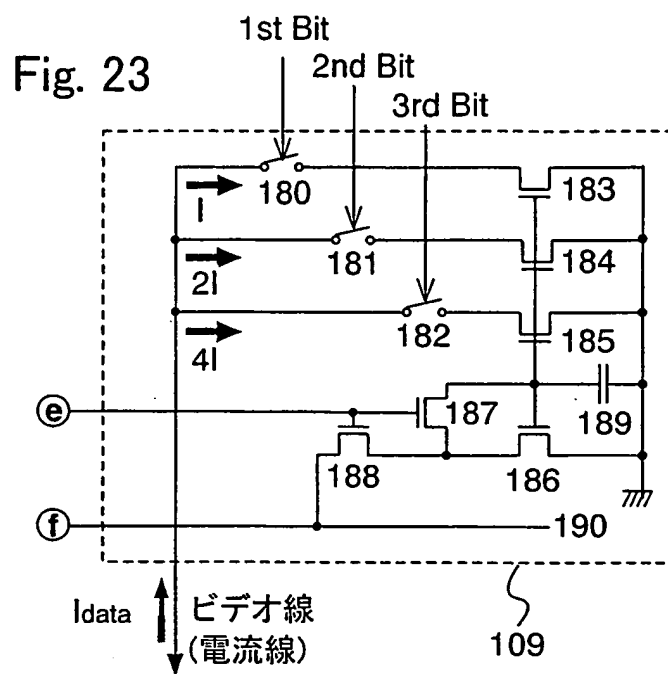
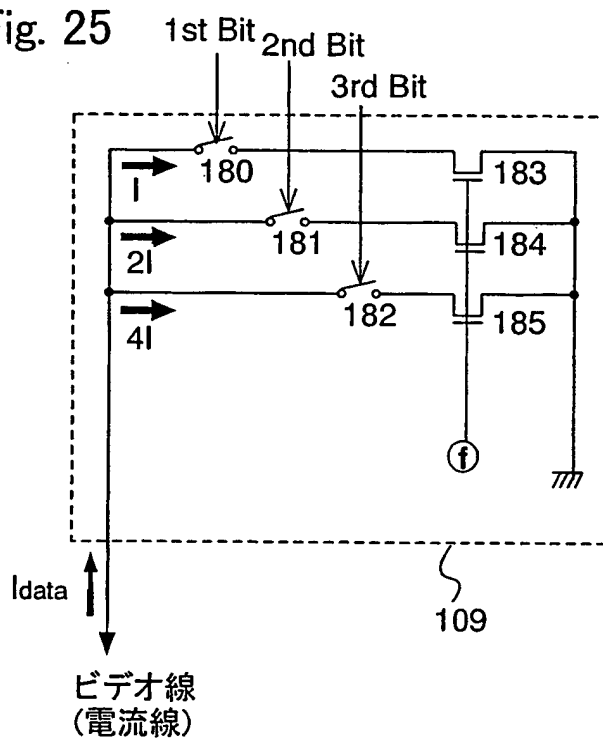
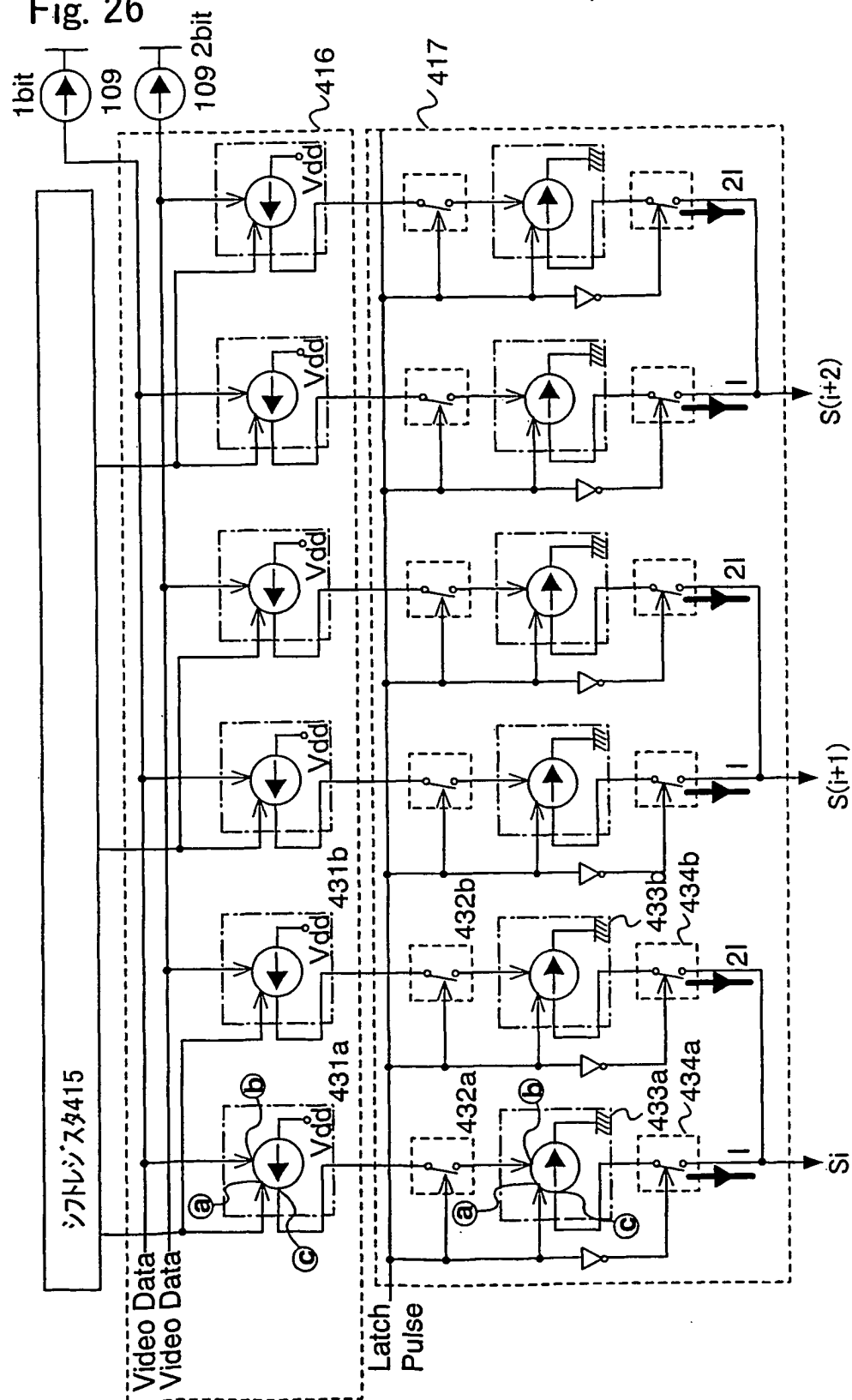


Fig. 25



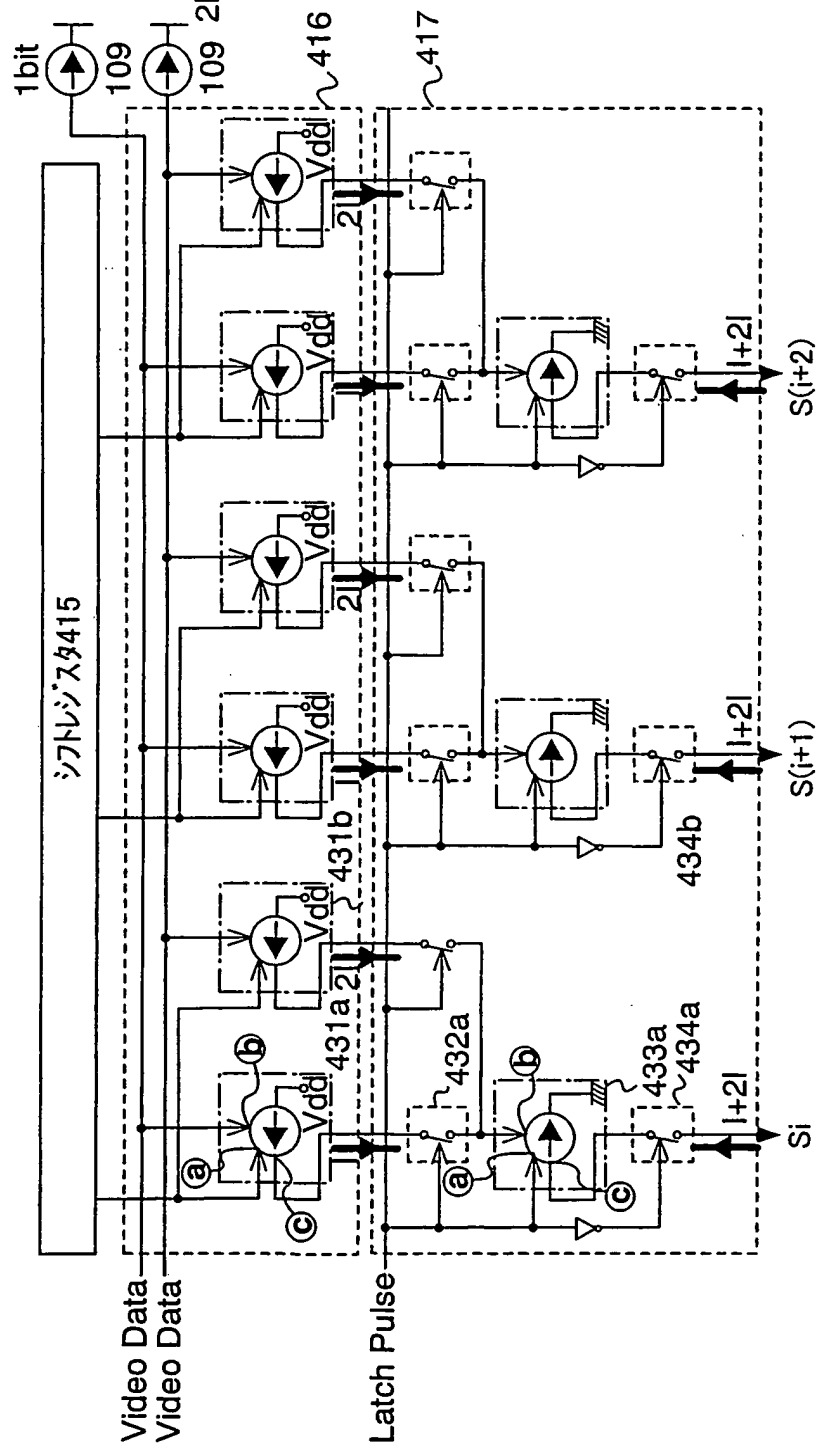
24/42

Fig. 26



25/42

Fig. 27



26/42

Fig. 28A1

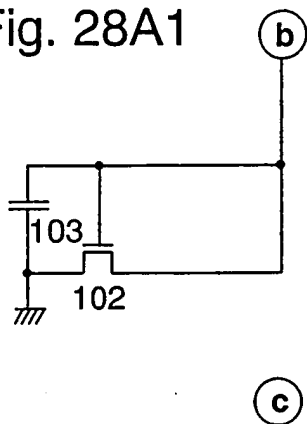


Fig. 28A2

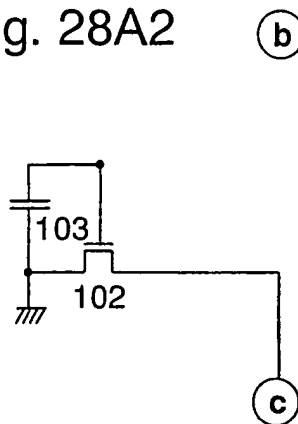


Fig. 28B1

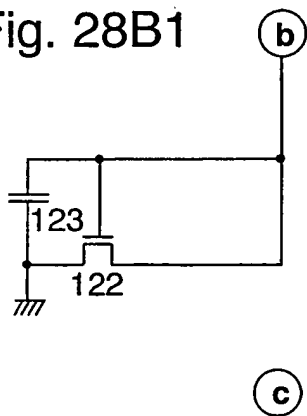


Fig. 28B2

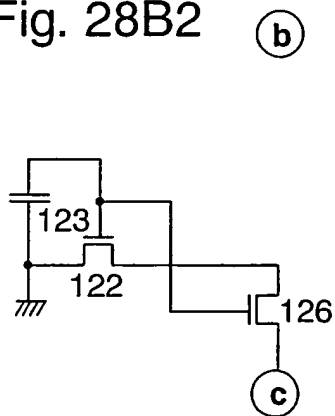


Fig. 28C1

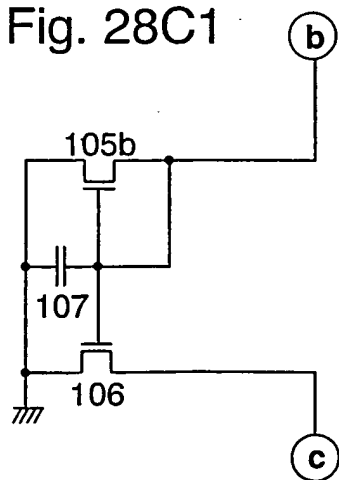
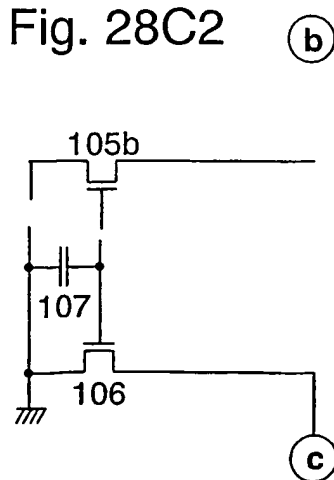


Fig. 28C2



27/42

Fig. 29A

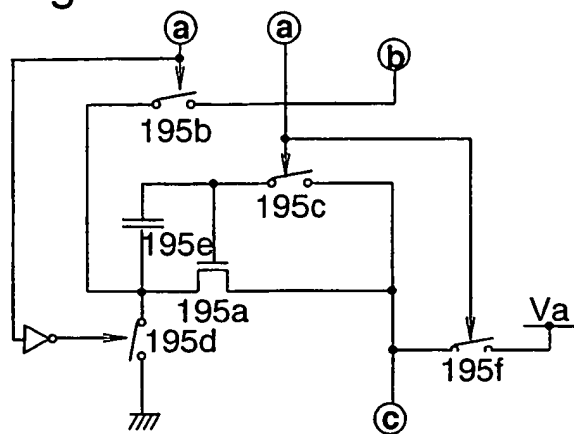


Fig. 29B1

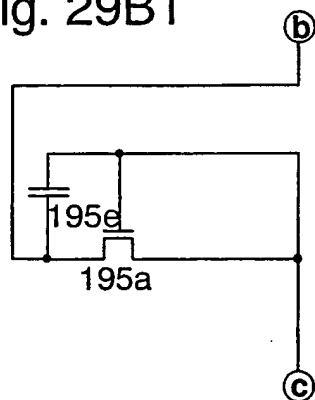


Fig. 29B2

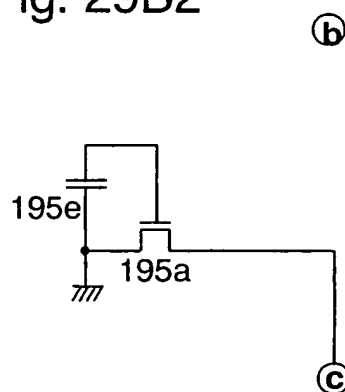


Fig. 29C1

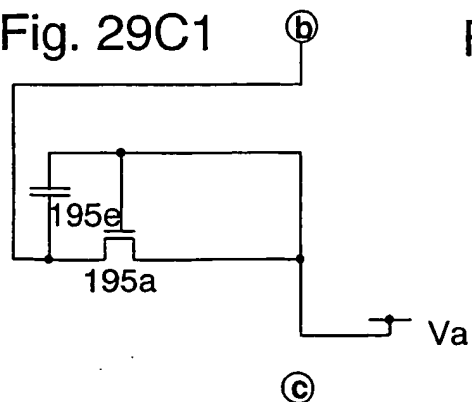
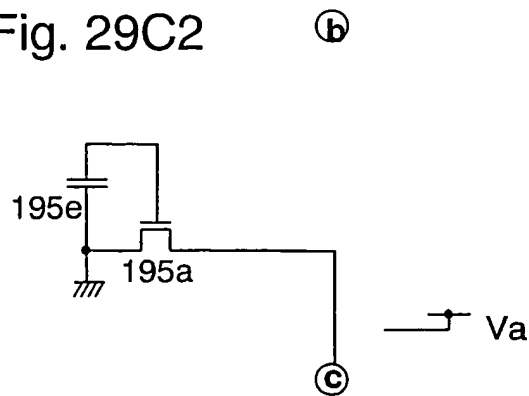


Fig. 29C2



28/42

Fig. 30A

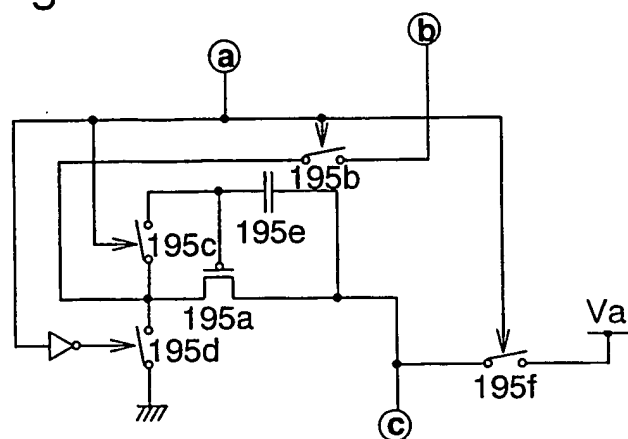
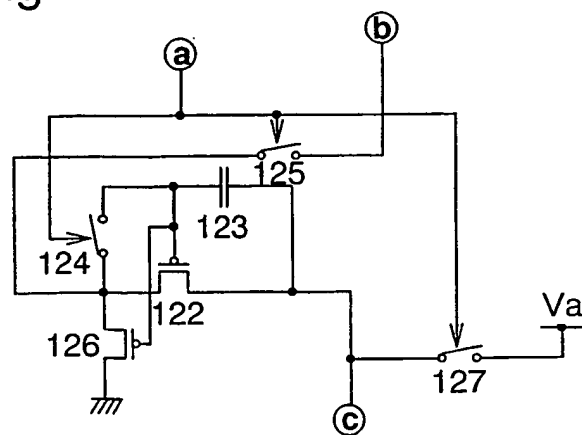


Fig. 30B



29/42

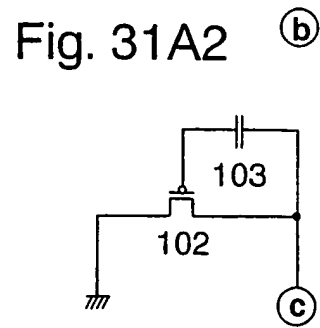
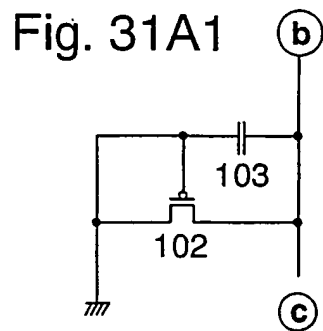


Fig. 31B1

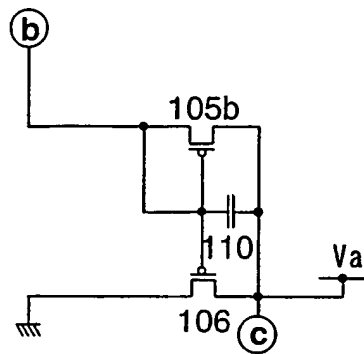


Fig. 31B2

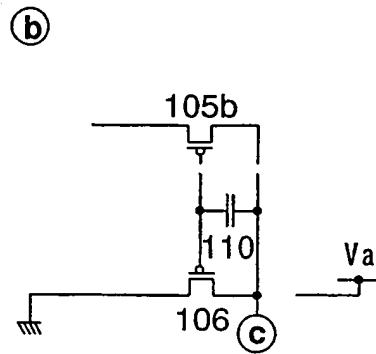


Fig. 31C1

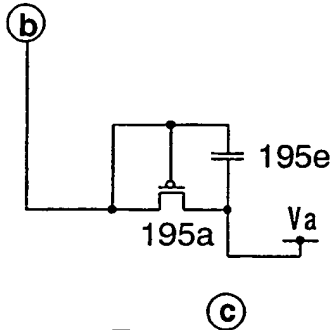


Fig. 31C2

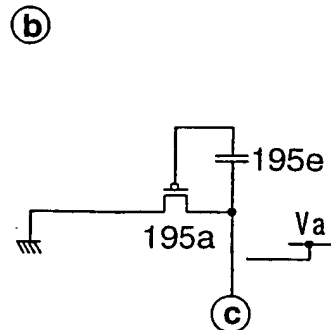


Fig. 31D1

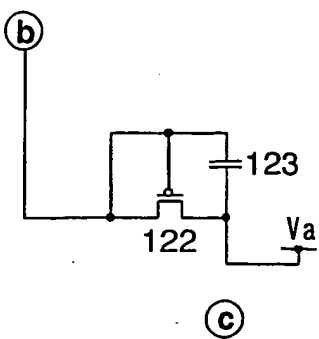
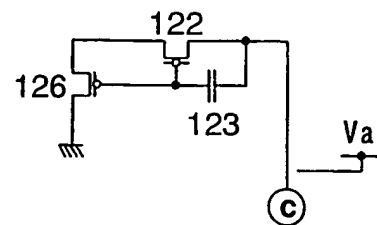


Fig. 31D2



30/42

Fig. 32A

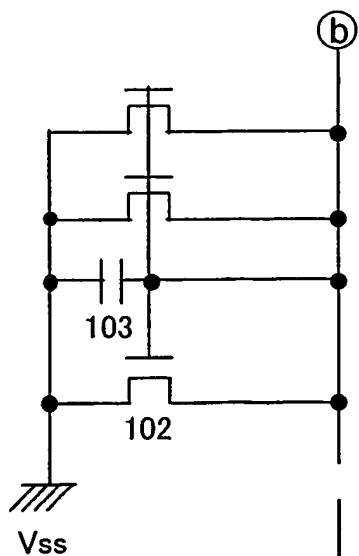
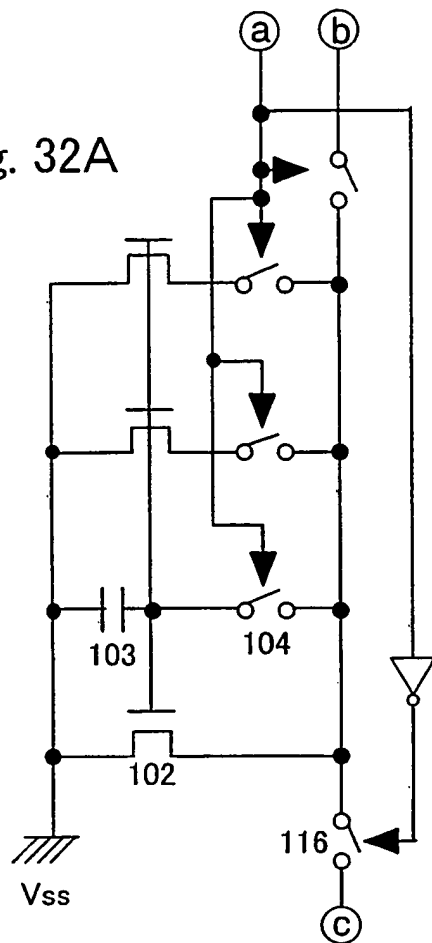


Fig. 32B

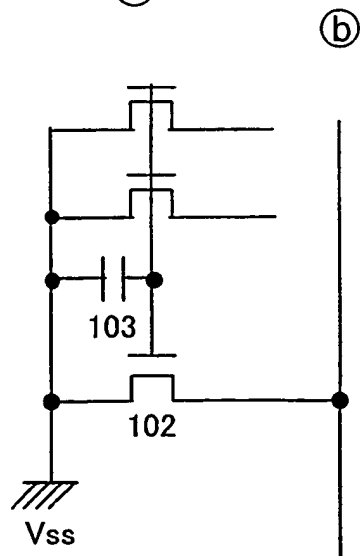
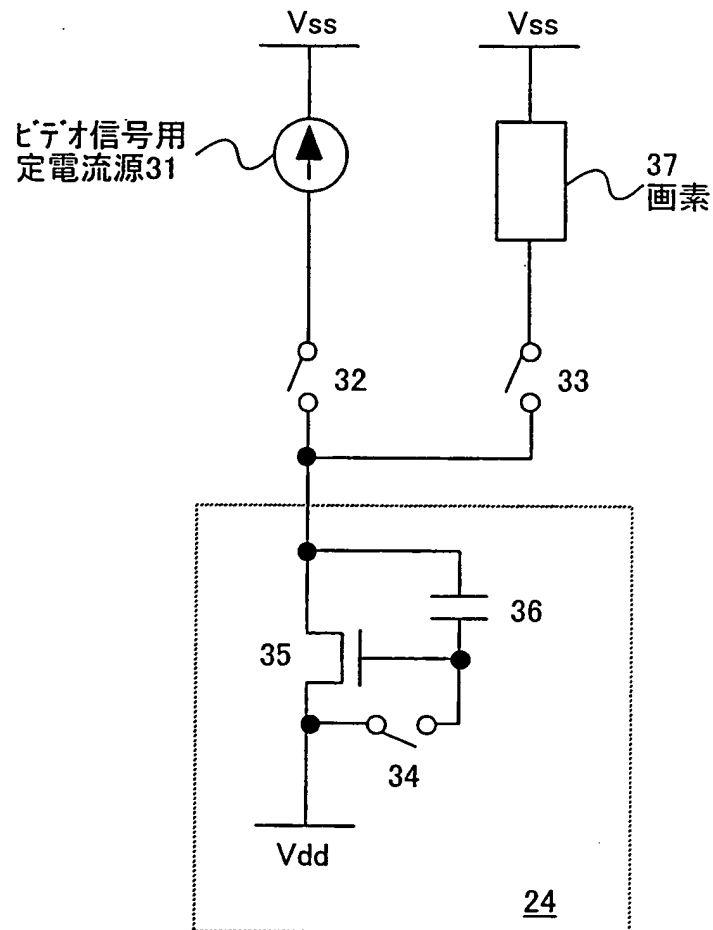


Fig. 32C

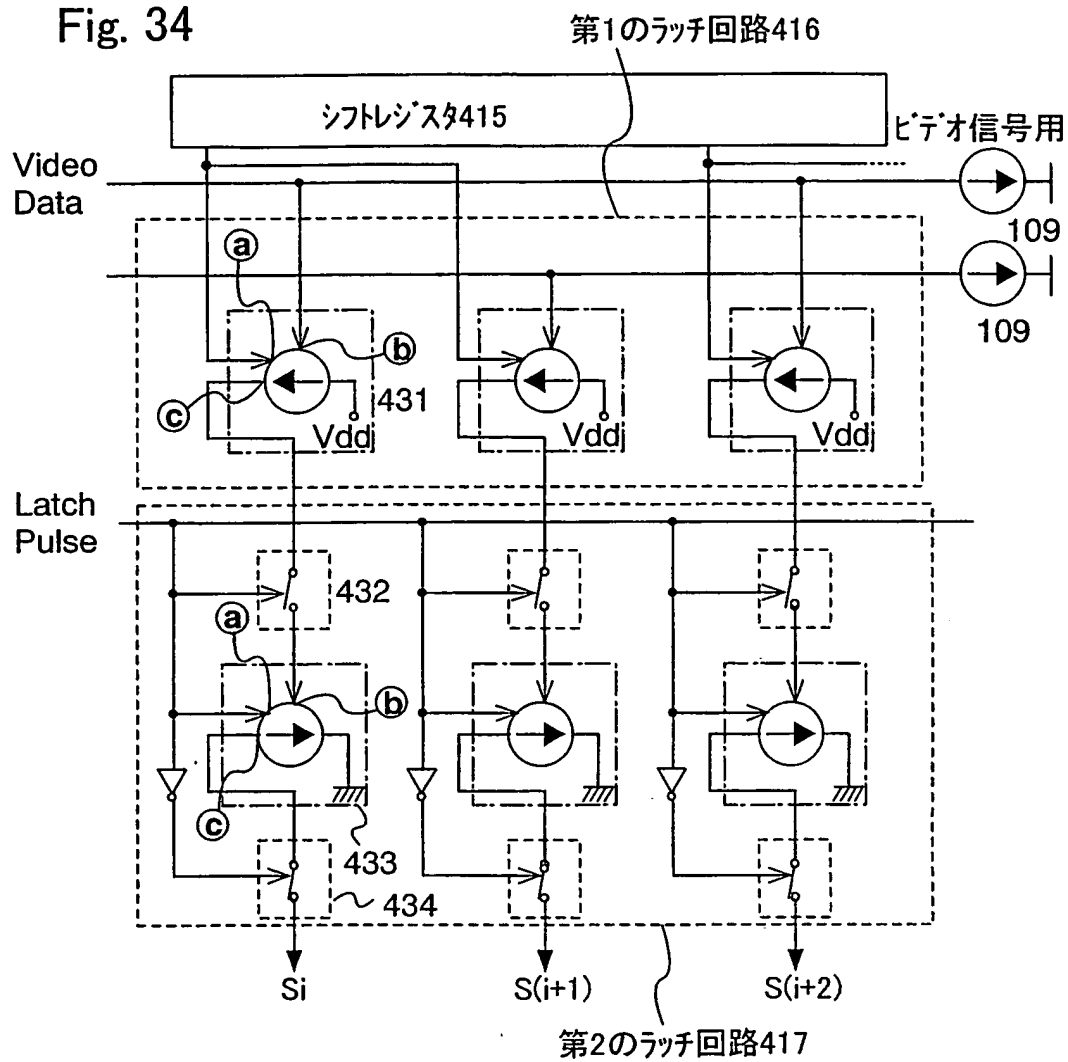
31/42

Fig. 33



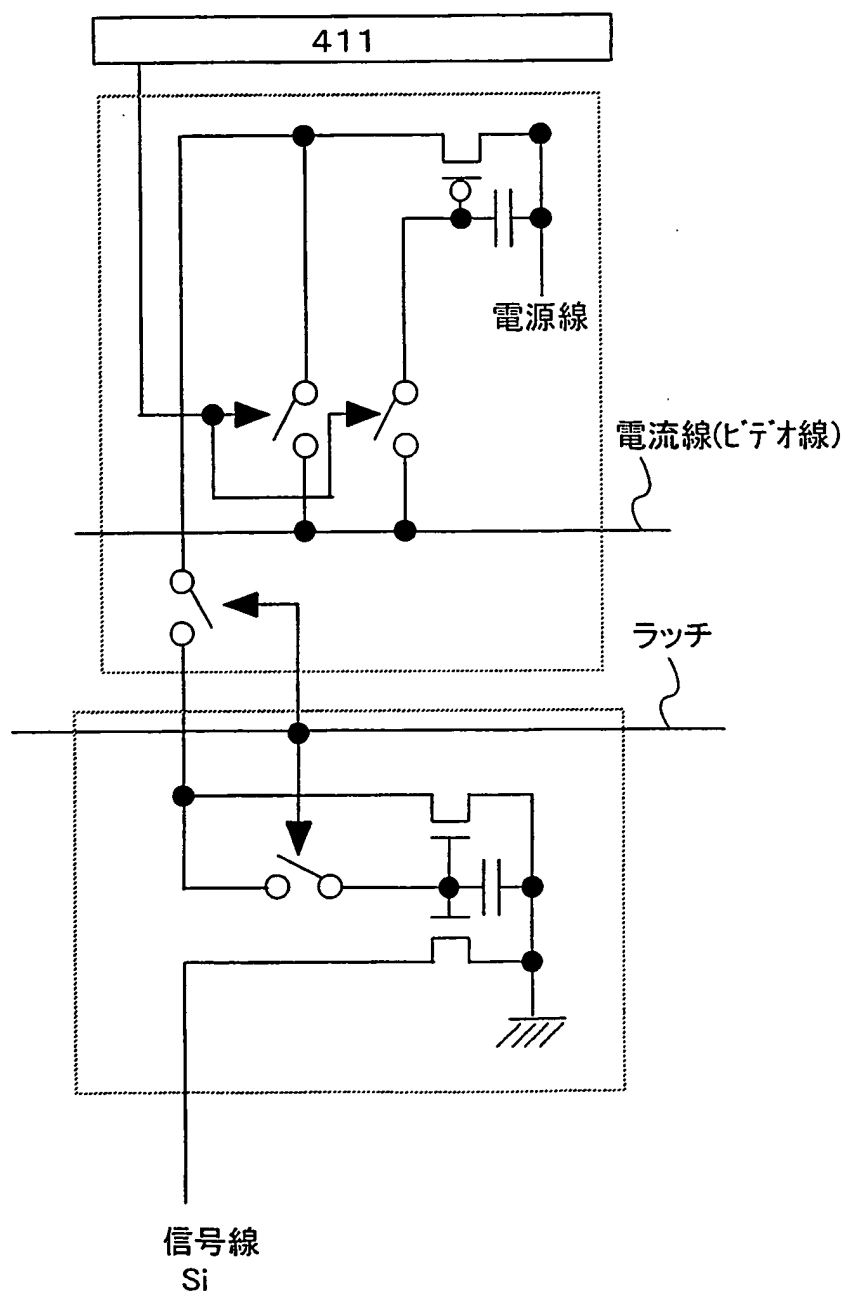
32/42

Fig. 34



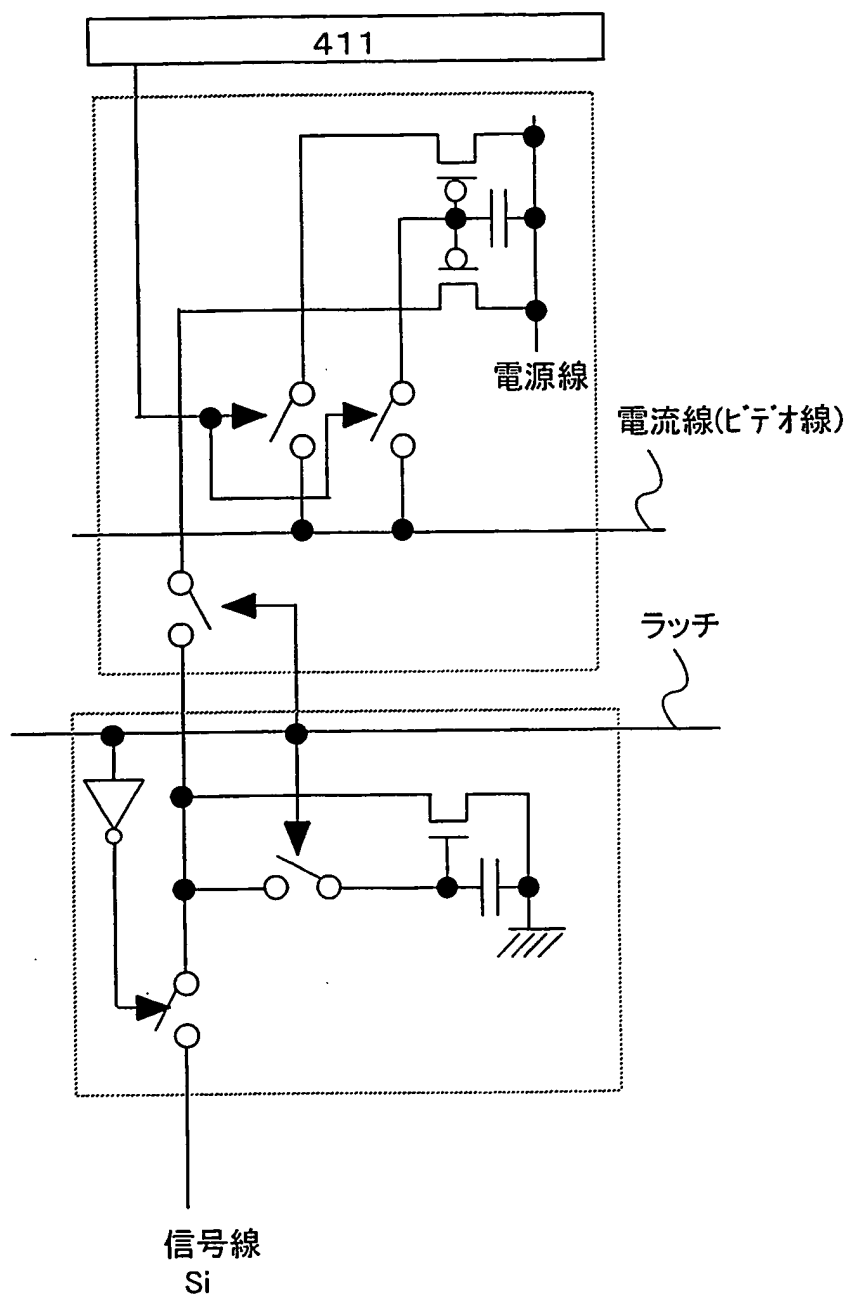
33/42

Fig. 35



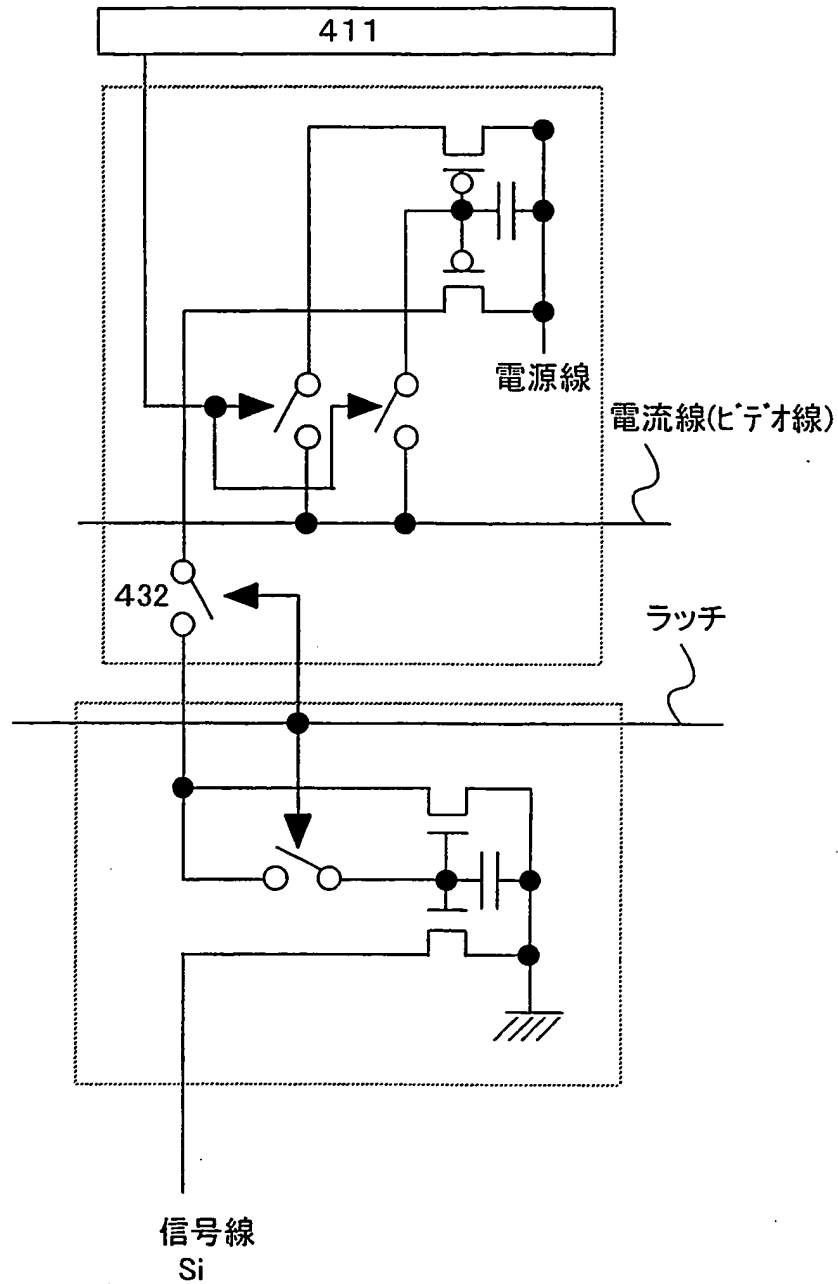
34/42

Fig. 36



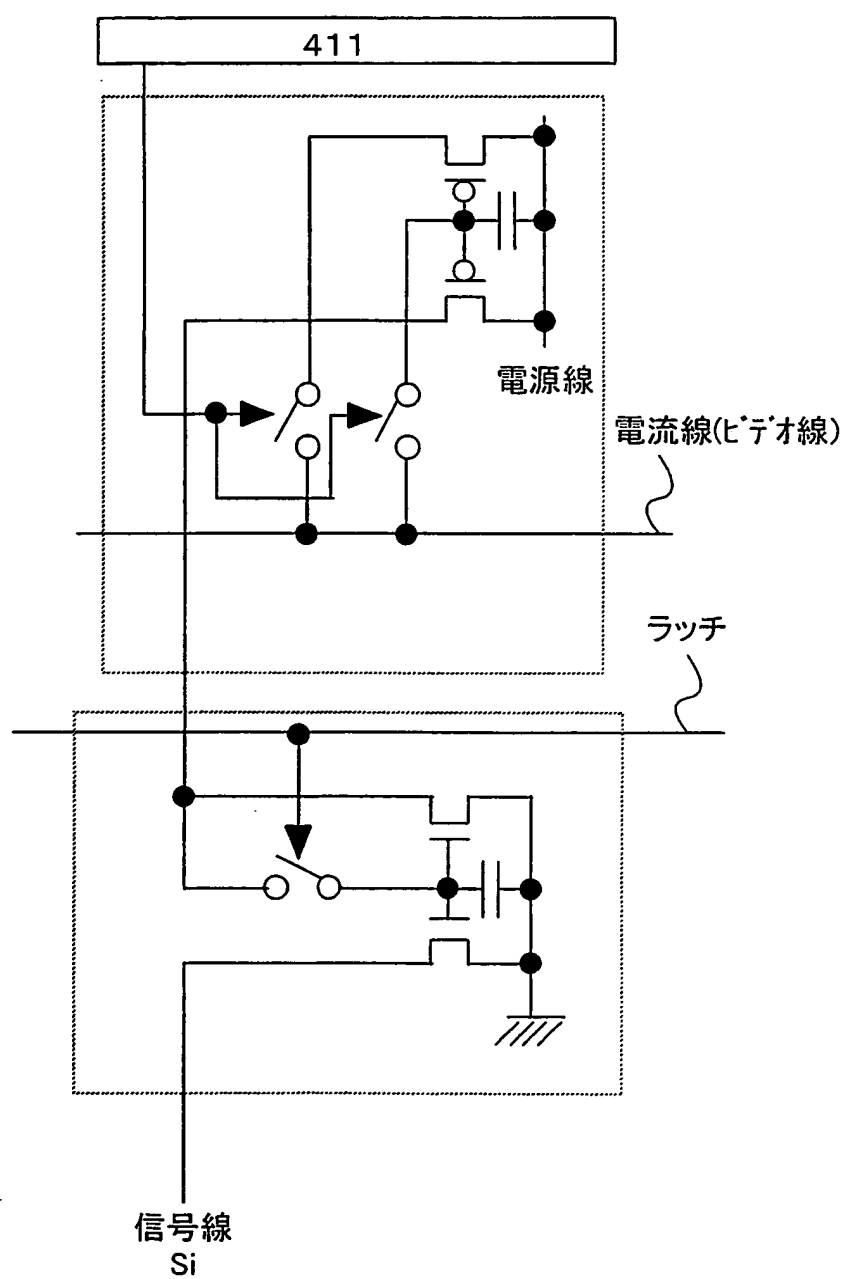
35/42

Fig. 37



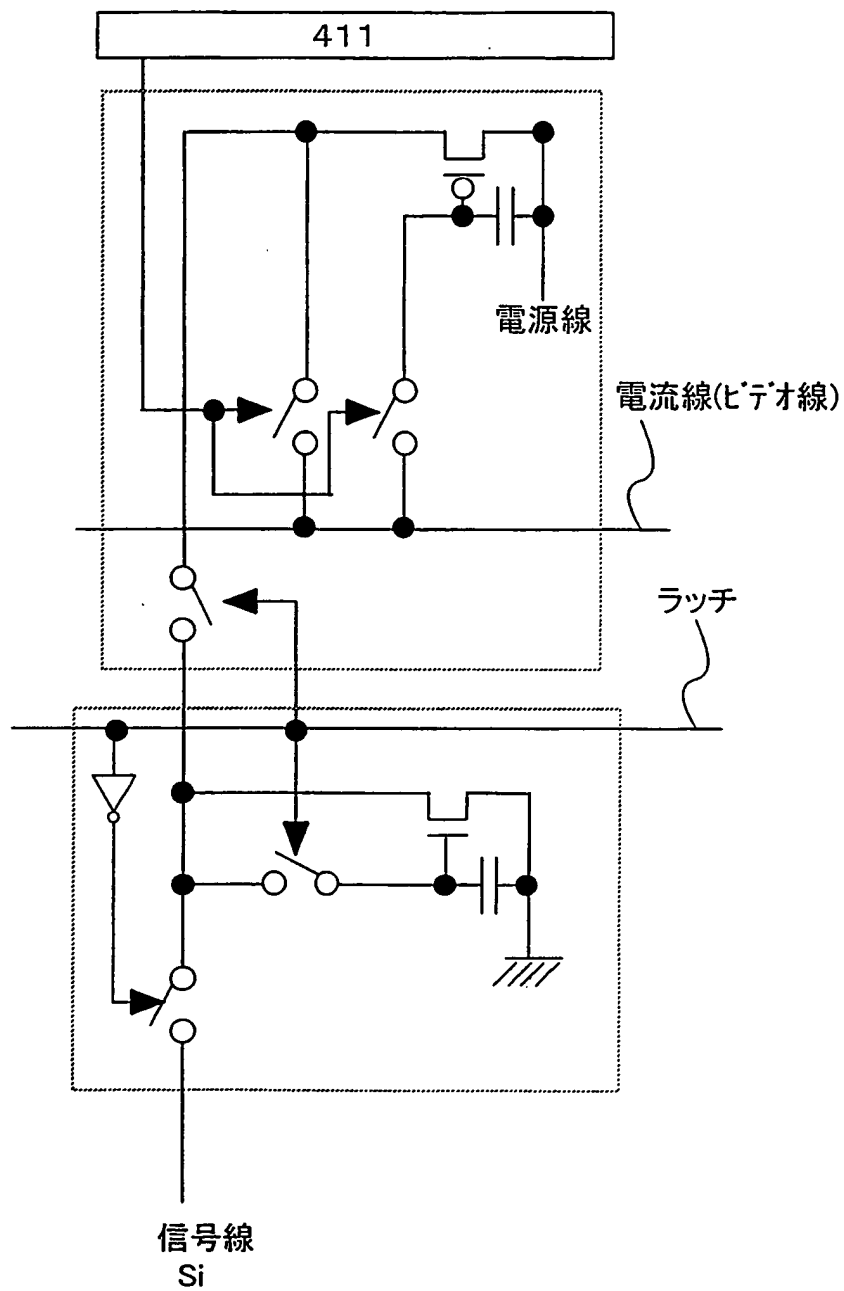
36/42

Fig. 38



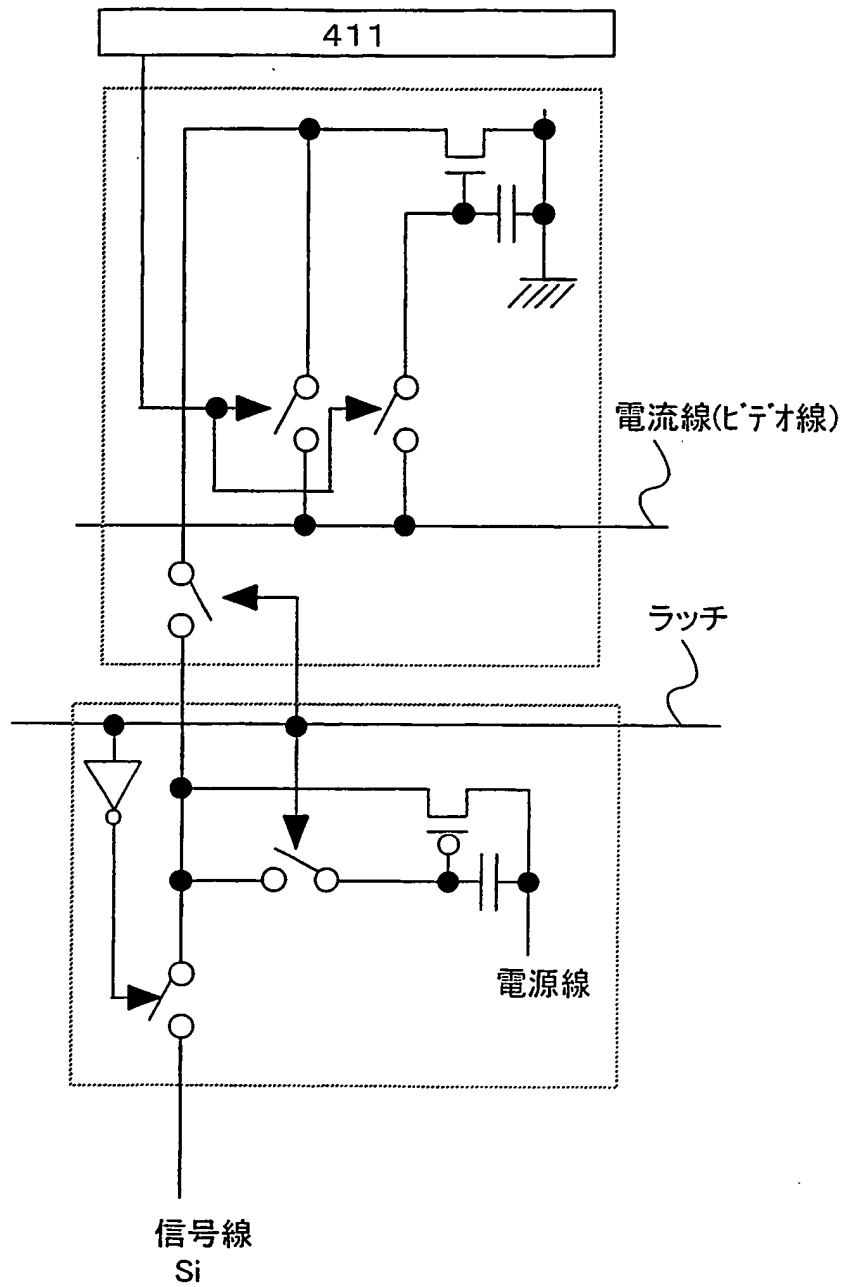
37/42

Fig. 39



38/42

Fig. 40



39/42

Fig. 41

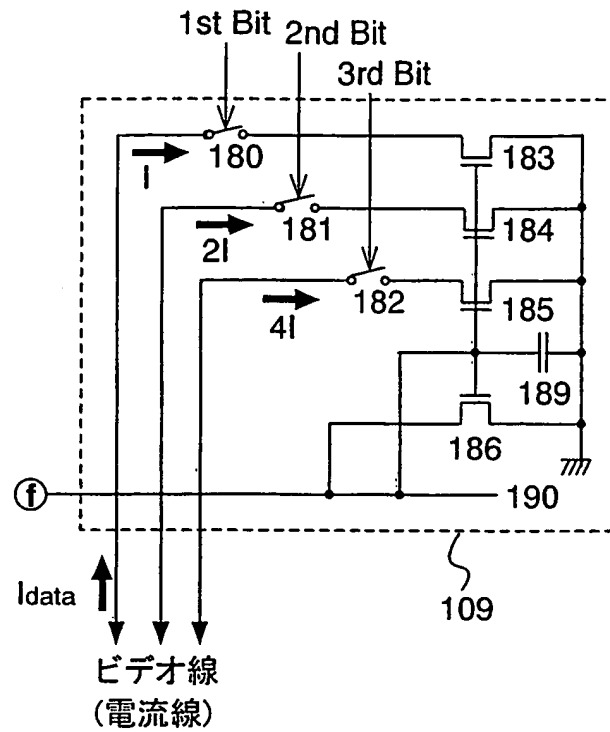
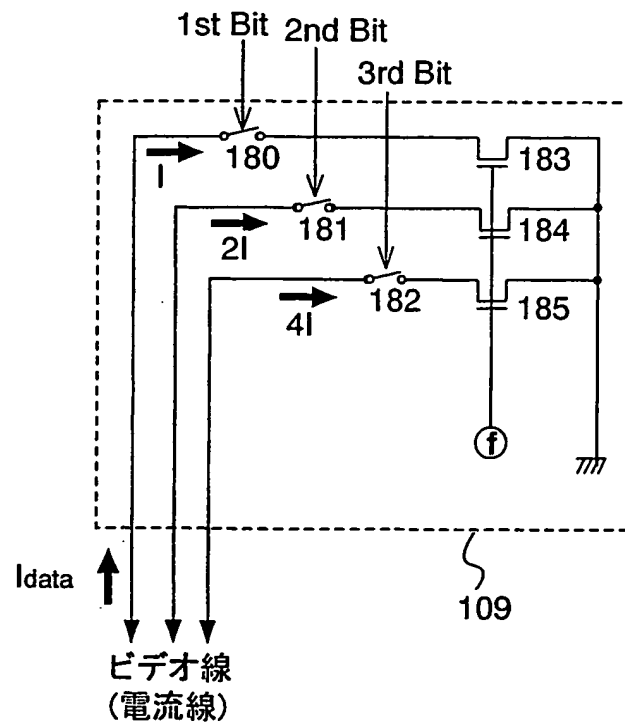


Fig. 42



40/42

Fig. 43

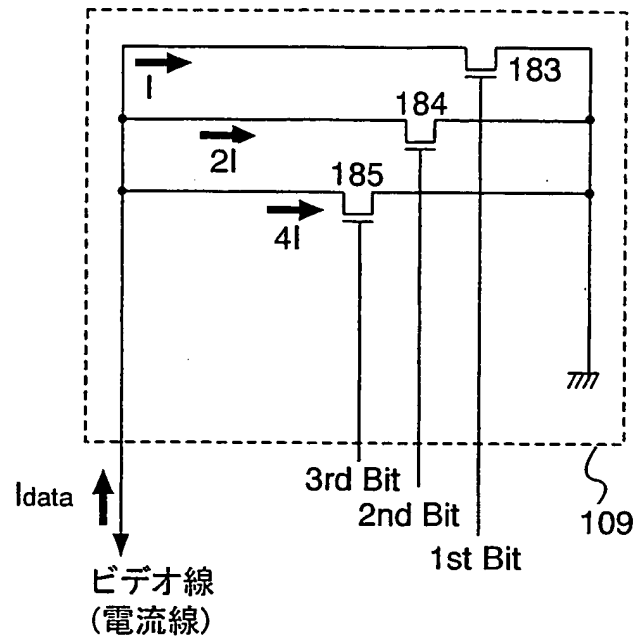


Fig. 44

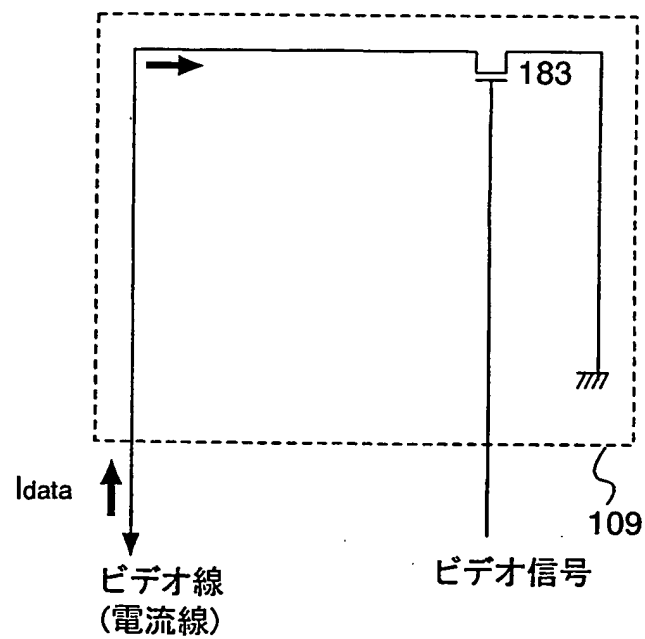
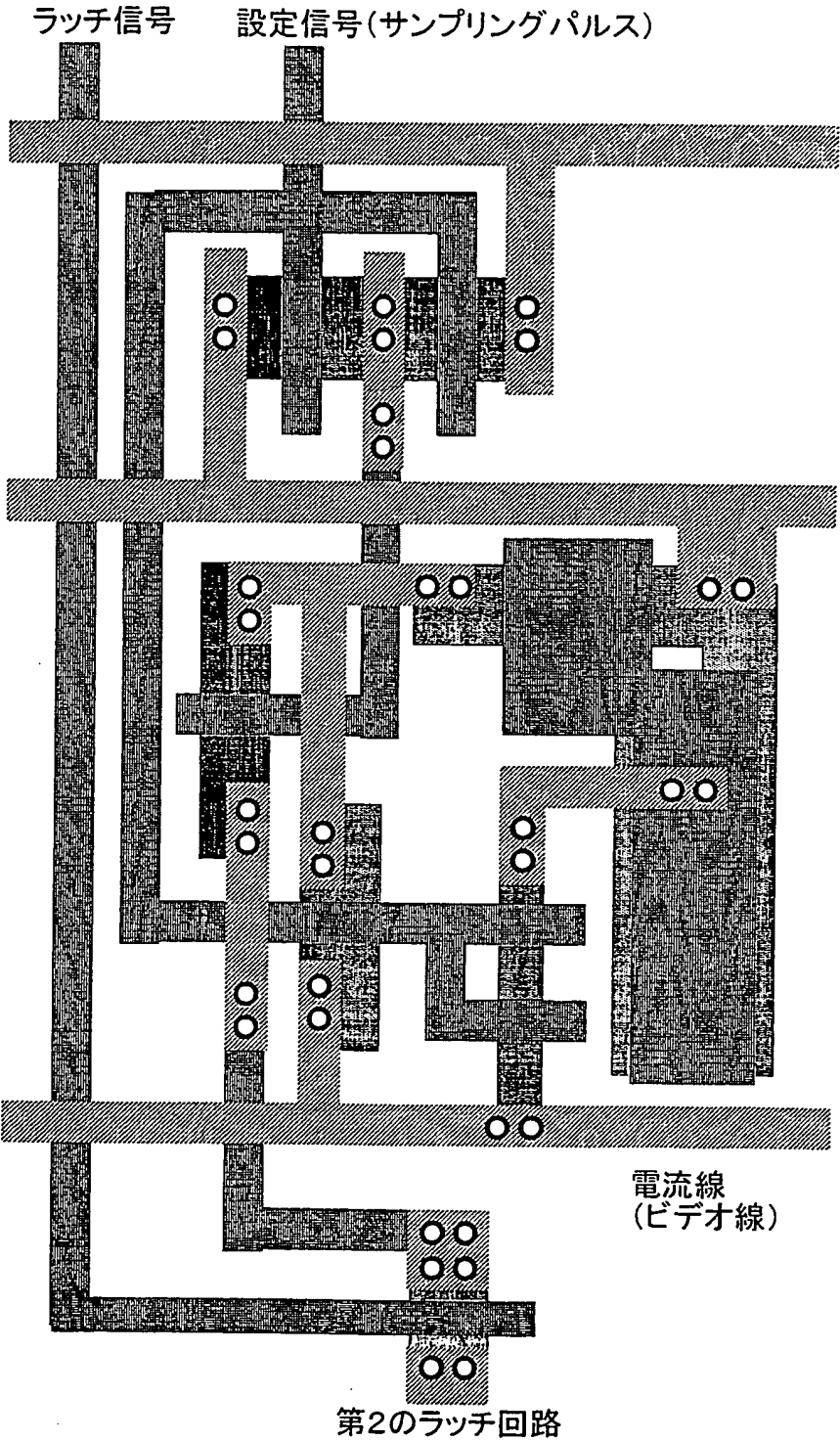
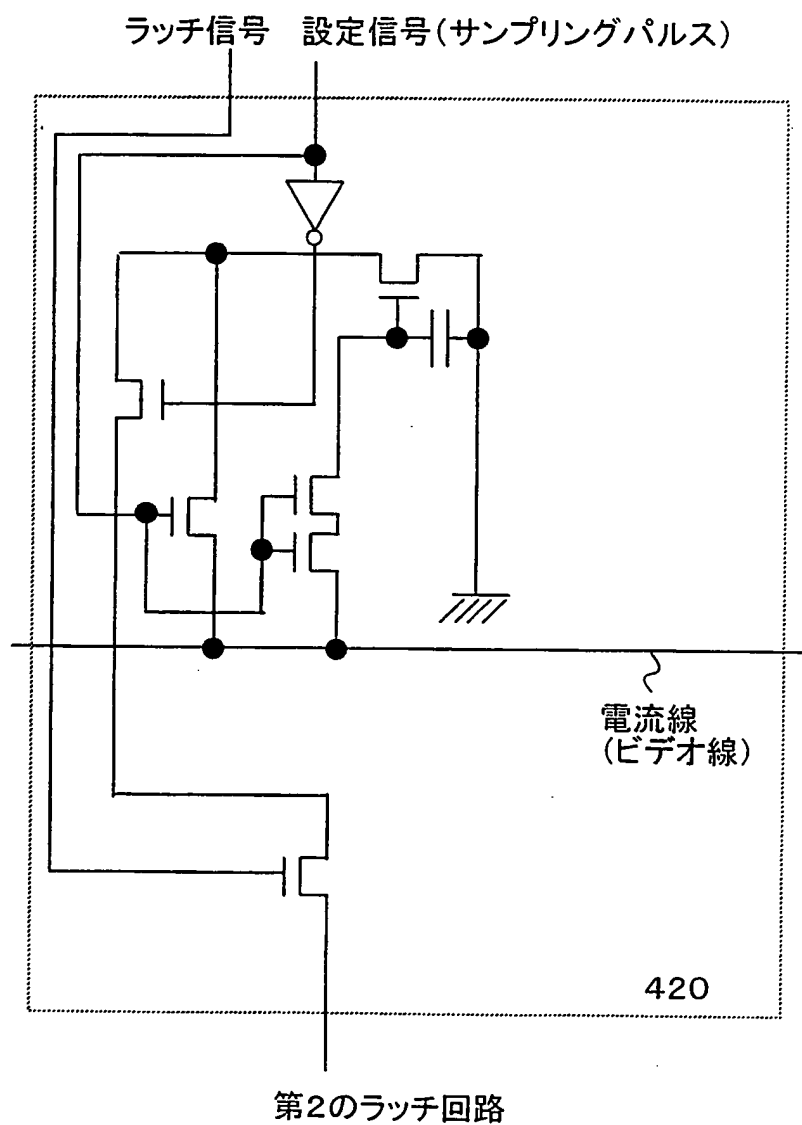


Fig. 45



42/42

Fig. 46



C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-81920 A (キャノン株式会社) 2000. 03. 21 段落番号【0005】-【0018】, 図1, 図5 &US 6222357 B1	1-5, 7-17
Y	日本国実用新案登録出願61-10861号 (日本国実用新案登録 出願公開62-122488号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (ソニー株式会社) 1987. 08. 04 明細書第6頁-第9頁、第1図-第4図 (ファミリーなし)	1-6, 9, 14-17
Y	JP 11-282419 A (日本電気株式会社) 1999. 10. 15 段落番号【0038】-【0083】, 図1-図14 &US 6091203 A &KR 99078420 A	1-5, 7-17
Y	JP 8-95522 A (凸版印刷株式会社) 1996. 04. 12 段落番号【0007】-【0025】, 図1-図5 (ファミリーなし)	14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G09G3/30, G09G3/20, G05F1/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G09G3/30, G09G3/20, G05F1/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-106075 A (シャープ株式会社) 1996. 04. 23 段落番号【0039】-【0042】, 図6 (ファミリーなし)	1-17
Y	JP 2000-122607 A (セイコーエプソン株式会社) 2000. 04. 28 段落番号【0051】-【0052】, 図4 (ファミリーなし)	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

10. 02. 03

国際調査報告の発送日

25.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

印

2G

9707

電話番号 03-3581-1101 内線 3225

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 10861/1986 (Laid-open No. 122488/1987) (Sony Corp.), 04 August, 1987 (04.08.87), Description, pages 6 to 9; Figs. 1 to 4 (Family: none)	1-6,9,14-17
Y	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0038] to [0083]; Figs. 1 to 14 & US 6091203 A & KR 99078420 A	1-5,7-17
Y	JP 8-95522 A (Toppan Printing Co., Ltd.), 12 April, 1996 (12.04.96), Par. Nos. [0007] to [0025]; Figs. 1 to 5 (Family: none)	14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11354

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30, G09G3/20, G05F1/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, G09G3/20, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-106075 A (Sharp Corp.), 23 April, 1996 (23.04.96), Par. Nos. [0039] to [0042]; Fig. 6 (Family: none)	1-17
Y	JP 2000-122607 A (Seiko Epson Corp.), 28 April, 2000 (28.04.00), Par. Nos. [0051] to [0052]; Fig. 4 (Family: none)	1-17
Y	JP 2000-81920 A (Canon Inc.), 21 March, 2000 (21.03.00), Par. Nos. [0005] to [0018]; Figs. 1, 5 & US 6222357 B1	1-5, 7-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 February, 2003 (10.02.03)	Date of mailing of the international search report 25 February, 2003 (25.02.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

DESCRIPTION

SIGNAL LINE DRIVING CIRCUIT AND LIGHT EMITTING DEVICE

5 Technical Field

The present invention relates to a technique of a signal line drive circuit. Further, the present invention relates to a light emitting device including the signal line drive circuit.

10 Background Art

Recently, display devices for performing image display are being developed. Liquid crystal display devices that perform image display by using a liquid crystal element are widely used as display devices because of advantages of high image quality, thinness, lightweight, and the like.

15 In addition, light emitting devices using self-light emitting elements as light emitting elements are recently being developed. The light emitting device has characteristics of, for example, a high response speed suitable for motion image display, low voltage, and low power consumption, in addition to advantages of existing liquid crystal display devices, and thus, attracts a great deal of attention as the next generation
20 display device.

As gradation representation methods used in displaying a multi-gradation image on a light emitting device, an analog gradation method and a digital gradation method are given. The former analog gradation method is a method in which the gradation is obtained by analogously controlling the magnitude of a current that flows in a light
25 emitting element. The latter digital gradation method is a method in which the light emitting element is driven only in two states thereof: an ON state (state where the luminance is substantially 100%) and an OFF state (state where the luminance is

substantially 0%). In the digital gradation method, since only two gradations can be displayed, a method configured by combining the digital gradation method and a different method to display multi-gradation images has been proposed.

When classification is made based on the type of a signal that is input to pixels, a voltage input method and a current input method are given as pixel-driving methods. The former voltage input method is a method in which: a video signal (voltage) that is input to a pixel is input to a gate electrode of a driving element; and the driving element is used to control the luminance of a light emitting element. The latter current input method is a method in which the set signal current is flown in a light emitting element to control the luminance of the light emitting element.

Hereinafter, referring to Fig. 16A, a brief description will be made on an example of a circuit of a pixel in a light emitting device employing the voltage input method and a driving method thereof. The pixel shown in Fig. 16A includes a signal line 501, a scanning line 502, a switching TFT 503, a driving TFT 504, a capacitor device 505, a light emitting element 506, and power sources 507 and 508.

When the potential of the scanning line 502 varies, and the switching TFT 503 is turned ON, a video signal that has been input to the signal line 501 is input to a gate electrode of the driving TFT 504. According to the potential of the input video signal, a gate-source voltage of the driving TFT 504 is determined, and a current flowing between the source and the drain of the driving TFT 504 is determined. This current is supplied to the light emitting element 506, and the light emitting element 506 emits light. As a semiconductor device for driving the light emitting element, a polysilicon transistor is used. However, the polysilicon transistor is prone to variation in electrical characteristics, such as a threshold value and an ON current, due to defects in a grain boundary. In the pixel shown in Fig. 16A, if characteristics of the driving TFT 504 vary in units of the pixel, even when identical video signals have been input, the magnitudes of the corresponding drain currents of the driving TFTs 504 are different. Thus, the

luminance of the light emitting element 506 varies.

To solve the problems described above, a desired current may be input to the light emitting element, regardless of the characteristics of the TFTs for driving the light emitting element. From this viewpoint, the current input method has been proposed
5 which can control the magnitude of a current that is supplied to a light emitting element regardless of the TFT characteristics.

Next, referring to Figs. 16B and 17, a brief description will be made with respect to a circuit of a pixel in a light emitting device employing the current input method and a driving method thereof. The pixel shown in Fig. 16B includes a signal line 601, first
10 to third scanning lines 602 to 604, a current line 605, TFTs 606 to 609, a capacitor element 610, and a light emitting element 611. A current source circuit 612 is disposed to each signal line (each column).

Operations of from video signal-writing to light emission will be described by using Fig. 17. In Fig. 17, reference numerals denoting respective portions conform to
15 those shown in Fig. 16. Figs. 17A to 17C schematically show current paths. Fig. 17D shows the relationship between currents flowing through respective paths during a write of a video signal, and Fig. 17E shows a voltage accumulated in the capacitor device 610 also during the write of a video signal, that is, a gate-source voltage of the TFT 608.

First, a pulse is input to the first and second scanning lines 602 and 603 to turn
20 the TFTs 606 and 607 ON. A signal current flowing through the signal line 601 at this time will be referred to as I_{data} . As shown in Fig. 17A, since the signal current I_{data} is flowing through the signal line 601, the current separately flows through current paths I_1 and I_2 in the pixel. Fig. 17D shows the relationship between the currents. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

25 The moment the TFT 606 is turned ON, no charge is yet accumulated in the capacitor device 610, and thus, the TFT 608 is OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established. In the moment, the current flows between electrodes of the capacitor

device 610, and charge accumulation is performed in the capacitor device 610.

Charge is gradually accumulated in the capacitor device 610, and a potential difference begins to develop between both the electrodes (Fig. 17E). When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 17E), the TFT 608 is turned ON, and I_2 occurs. As described above, since $I_{data} = I_1 + I_2$ is established, while I_1 gradually decreases, the current keeps flowing, and charge accumulation is continuously performed in the capacitor device 610.

In the capacitor device 610, charge accumulation continues until the potential difference between both the electrodes, that is, the gate-source voltage of the TFT 608 reaches a desired voltage. That is, charge accumulation continues until the voltage reaches a level at which the TFT 608 can allow the current I_{data} to flow. When charge accumulation terminates (B point in Fig. 17E), the current I_1 stops flowing. Further, since the TFT 608 is fully ON, $I_{data} = I_2$ is established (Fig. 17B). According to the operations described above, the operation of writing the signal to the pixel is completed. Finally, selection of the first and second scanning lines 602 and 603 is completed, and the TFTs 606 and 607 are turned OFF.

Subsequently, a pulse is input to the third scanning line 604, and the TFT 609 is turned ON. Since V_{GS} that has been just written is held in the capacitor device 610, the TFT 608 is already turned ON, and a current equal to I_{data} flows thereto from the current line 605. Thus, the light emitting element 611 emits light. At this time, when the TFT 608 is set to operate in a saturation region, even if the source-drain voltage of the TFT 608 varies, a light emitting current I_{EL} flowing to the light emitting element 611 flows without variation.

As described above, the current input method refers to a method in which the drain current of the TFT 609 is set to have the same current value as that of the signal current I_{data} set in the current source circuit 612, and the light emitting element 611 emits light with the luminance corresponding to the drain current. By using the thus

structured pixel, the effects of the characteristic variations of TFTs constituting the pixel is reduced, and a desired current can be supplied to the light emitting element.

Incidentally, in the light emitting device employing the current input method, a signal current corresponding to a video signal needs to be precisely input to a pixel.

5 However, when a signal line drive circuit (corresponding to the current source circuit 612 in Fig. 16) used to input the signal current to the pixel is constituted by polysilicon transistors, variation in characteristics thereof occurs, thereby also causing variation in characteristics of the signal current.

That is, in the light emitting element employing the current input method,
10 influence by variation in characteristics of TFTs constituting the pixel and the signal line drive circuit need to be suppressed. However, while the effects of the characteristic variations of TFTs constituting the pixel is reduced by using the pixel having the structure of Fig. 16B, reduction of the effects of characteristic variations of TFTs constituting the signal line drive circuit is difficult.

15 Hereinafter, using Fig. 18, a brief description will be made of the structure and operation of a current source circuit disposed in the signal line drive circuit that drives the pixel employing the current input method.

The current source circuit 612 shown in Figs. 18A and 18B corresponds to the current source circuit 612 of Fig. 16B. The current source circuit 612 includes constant
20 current sources 555 to 558. The constant current sources 555 to 558 are controlled by signals that are input via respective terminals 551 to 554. The magnitudes of currents supplied from the constant current sources 555 to 558 are different from one another, and the ratio thereof is set to 1 : 2 : 4 : 8.

Fig. 18B shows a circuit structure of the current source circuit 612, in which the
25 constant current sources 555 to 558 shown therein correspond to transistors. The ratio of ON currents of the transistors 555 to 558 is set to 1 : 2 : 4 : 8 according to the ratio (1:2:4:8) of the value of L (gate length)/W (gate width). The current source circuit 612

then can control the current magnitudes at $2^4 = 16$ levels. Specifically, currents having 16-gradation analog values can be output for 4-bit digital video signals. Note that the current source circuit 612 is constituted by polysilicon transistors, and is integrally formed with the pixel portion on the same substrate.

5 As described above, conventionally, a signal line drive circuit incorporated with a current source circuit has been proposed (for example, refer to Non-patent Documents 1 and 2).

 In addition, digital gradation methods include a method in which a digital gradation method is combined with an area gradation method to represent multi-
10 gradation images (hereinafter, referred to as area gradation method), and a method in which a digital gradation method is combined with a time gradation method to represent multi-gradation images (hereinafter, referred to as time gradation method). The area gradation method is a method in which one pixel is divided into a plurality of sub-pixels, emission or non-emission is selected in each of the sub-pixels, and the gradation is
15 represented according to a difference between a light emitting area and the other area in a single pixel. The time gradation method is a method in which gradation representation is performed by controlling the emission period of a light emitting element. To be more specific, one frame period is divided into a plurality of subframe periods having mutually different lengths, emission or non-emission of a light emitting
20 element is selected in each period, and the gradation is presented according to a difference in length of light emission time in one frame period. In the digital gradation method, the method in which a digital gradation method is combined with a time gradation method (hereinafter, referred to as time gradation method) is proposed. (For example, refer to Patent Document 1).

25

[Non-patent Document 1]

Reiji Hattori & three others, "Technical Report of Institute of Electronics,

Information and Communication Engineers (IEICE) ", ED.2001-8, pp. 7-14, "Circuit Simulation of Current Specification Type Polysilicon TFT Active Matrix-Driven Organic LED Display"

5 [Non-patent Document 2]

Reiji H et al.; "AM-LCD'01", OLED-4, pp. 223-226

[Patent Document 1]

JP 2001-5426 A

10

Disclosure of the Invention

The above-described current source circuit 612 is set such that the ON-state currents of the transistors are in a proportion of 1:2:4:8 by the design of the value L (gate length)/ W (gate width). However, in the transistors 555 to 558, many factors including variations in the gate length, gate width, and the thickness of a gate insulator film, which are caused by the difference in manufacturing process and a substrate for use, conspire to cause variations in the threshold value and mobility. Therefore, it is difficult to set the proportion of the ON-state currents of the transistors 555 to 558 to 1:2:4:8 accurately as designed. In brief, the values of currents to be supplied to pixels vary by column.

In order to set the proportion of the ON-state currents of the transistors 555 to 558 to 1:2:4:8 accurately as designed, all the characteristics of the current source circuits in all columns must be the same. In other words, it is necessary for all the characteristics of the transistors of the current source circuits held in the signal-line drive circuit to be the same; however, it is extremely difficult to realize.

The present invention has been made in consideration of the above problems, and provides a signal-line drive circuit capable of reducing the effects of the characteristic

variations of TFTs and supplying a desired signal current to pixels. Furthermore, the present invention provides a light emitting device capable of reducing the effects of the characteristic variations of TFTs that constitute both the pixels and the drive circuit and supplying a desired signal current to light-emitting elements using the pixels with the
5 circuit configuration in which the effects of the characteristic variations of TFTs are reduced.

The present invention provides a signal-line drive circuit with a new configuration equipped with an electrical circuit (referred to as a current source circuit in this specification) that carries a desired constant current with reduced effects of
10 characteristic variations in TFTs. Furthermore, the present invention provides a light emitting device equipped with the signal-line drive circuit described above.

The present invention provides a signal-line drive circuit having a current source circuit disposed in each column (each signal line and so on).

In the signal-line drive circuit of the present invention, a signal current is set in
15 the current source circuit arranged in each signal line using a video-signal constant current source. The current source circuit in which the signal current is set is capable of feeding a current proportional to the video-signal constant current source. Thus, the effects of the characteristic variations of TFTs constituting the signal-line drive circuit can be reduced by using the current source circuit.

20 The video-signal constant current source may be integrated with the signal-line drive circuit on the substrate. Alternatively, current may be inputted as a video-signal current from the outside of the substrate using an IC or the like. In this case, a constant current or a current responsive to the video signal is supplied as a video-signal current from the exterior of the substrate to the signal-line drive circuit.

25 The outline of the signal-line drive circuit of the present invention will be described with reference to Figs. 1 and 2. Figs. 1 and 2 show a signal-line drive circuit around the i th to $(i + 2)$ th three signal lines.

Referring to Fig. 1, a signal-line drive circuit 403 has a current source circuit 420 arranged in each signal line (each column). The current source circuit 420 has a terminal a, a terminal b, and a terminal c. From the terminal a, a setting signal is inputted. To the terminal b, a current (signal current) is supplied from a video-signal constant current source 109 connected to the current line. From the terminal c, a signal held in the current source circuit 420 is outputted through a switch 101. In other words, the current source circuit 420 is controlled by the setting signal inputted from the terminal a; to which the supplied signal current is inputted through the terminal b; and which outputs a current proportional to the signal current through the terminal c. The switch 101 is arranged between the current source circuit 420 and pixels connected to the signal line, and the ON/OFF of the switch 101 is controlled by a latch pulse.

Next, a signal-line drive circuit having a different configuration from that of Fig. 1 will be described with reference to Fig. 2. In Fig. 2, the signal-line drive circuit 403 includes two or more current source circuits 420 for each signal line (each column). The current source circuit 420 includes a plurality of current source circuits. Assuming that two current source circuits are provided, the current source circuit 420 includes a first current source circuit 421 and a second current source circuit 422. Each of the first current source circuit 421 and the second current source circuit 422 includes a terminal a, a terminal b, a terminal c, and a terminal d. Through the terminal a, a setting signal is inputted. Through the terminal b, a current (signal current) is supplied from the video-signal constant current source 109 connected to the current line. Through the terminal c, a signal held in each of the first current source circuit 421 and the second current source circuit 422 is outputted. In other words, the current source circuit 420 is controlled by the setting signal inputted through the terminal a and a control signal inputted through the terminal d; to which the supplied signal current is inputted through the terminal b; and which outputs a current (signal current) proportional to the signal current through the terminal c. The switch 101 is arranged

between the current source circuit 420 and pixels connected to the signal line, and the ON/OFF of the switch 101 is controlled by a latch pulse. Through the terminal d, a control signal is inputted.

In this specification, the operation of bringing the writing of signal current I_{data} to the current source circuit 420 to an end (setting a signal current, setting so as to allow the output of a current proportional to the signal current by the signal current, and defining so that the current source circuit 420 can output the signal current) is called a setting operation; and the operation of inputting the signal current I_{data} to pixels (operation of the current source circuit 420 to output a signal current) is called an inputting operation. Referring to Fig. 2, since the control signals inputted to the first current source circuit 421 and the second current source circuit 422 are different from each other, one of the first current source circuit 421 and the second current source circuit 422 performs setting operation and the other performs inputting operation. Thus, the two operations can be performed at the same time.

In the present invention, a light emitting device includes a panel having a pixel section including light-emitting elements and a signal-line drive circuit enclosed between the substrate and a cover member; a module mounting an IC and the like on the panel; and a display. In short, the light emitting device corresponds to the general term for the panel, module, and the display.

The signal-line drive circuit of the present invention includes latches each having a current source circuit. The signal-line drive circuit of the present invention can be applied to both an analog intensity-level system and a digital intensity-level system.

According to the present invention, the TFT can be replaced with a general transistor using a single crystal, a transistor using an SOI (silicon on insulator), an organic transistor and so on for application.

The present invention is a signal-line drive circuit comprises first and second current source circuits corresponding to respective plurality of signal lines; a shift

register; and n (n is a natural number of one or more) video-signal constant current source s , characterized in that:

each of the first and second current source circuits has a capacitance means and a supply means; wherein

5 the capacitance means held in one of the first and second source circuits converts a current including a current supplied from each of the n video-signal constant current source s to voltage in accordance with a sampling pulse supplied from the shift register and a latch pulse supplied from the exterior; and the supply means held in the other supplies a current responsive to the converted voltage; and

10 the values of the currents to be supplied from the n video-signal constant current source s are set to a proportion of $2^0:2^1:\dots:2^n$.

The present invention is a signal-line drive circuit comprising $(2 \times n)$ current source circuits corresponding to respective plurality of signal lines; a shift register; and n (n is a natural number of one or more) video-signal constant current source s ,
15 characterized in that:

the $(2 \times n)$ current source circuits includes a capacitance means for converting a current supplied from either one of the n video-signal constant current source s to voltage in accordance with a sampling pulse supplied from the shift register and a latch pulse supplied from the exterior; and a supply means for supplying a current
20 corresponding to the converted voltage;

a current is supplied to each of the plurality of signal lines from the n current source circuits selected from the $(2 \times n)$ current source circuits; and

the values of the currents to be supplied from the n video-signal constant current source s are set to a proportion of $2^0:2^1:\dots:2^n$.

25 The signal-line drive circuit with the foregoing configuration according to the present invention includes a shift register and a latch having two or more current source circuits. The current source circuit having a supply means and a capacitance means

can supply a predetermined value of current without being affected by the characteristic variations of the constituting transistors. The signal-line drive circuit has a logical operator. A sampling pulse supplied from the shift register and a latch pulse supplied from the exterior are inputted to the two input terminals of the logical operator. In the present invention, the two or more current source circuits disposed in the latch are controlled using a signal outputted from the output terminal of the logical operator. In this case, the operation of converting the supplied current to a voltage can accurately be performed in the current source circuit over a long period of time.

In the present invention, there is provided a signal-line drive circuit having the foregoing current source circuits. Furthermore, in the present invention, there is provided a light emitting device capable of reducing the effects of the characteristic variations in TFTs that constitute both the pixels and the drive circuit, and supplying a desired signal current I_{data} to light-emitting elements by using pixels with the circuit configuration in which the effects of the characteristic variations in TFTs are reduced.

15

Brief Description of the Drawings

Fig. 1 is a view of a signal line drive circuit.

Fig. 2 is a view of a signal line drive circuit.

20 Fig. 3 is views of a signal line drive circuit (1-bit, 2-bit).

Fig. 4 is a view of a signal line drive circuit (1-bit).

Fig. 5 is a view of a signal line drive circuit (2-bit).

Fig. 6 is a circuit diagram of current source circuits.

Fig. 7 is a circuit diagram of current source circuits.

25 Fig. 8 is a circuit diagram of current source circuits.

Fig. 9 is a circuit diagram of a video-signal current source .

Fig. 10 is a circuit diagram of a video-signal current source .

Fig. 11 is a circuit diagram of a video-signal current source .

Fig. 12 is a view of the appearance of a light emitting device according to the present invention.

Fig. 13 is a circuit diagram of pixels of a light emitting device.

5 Fig. 14 is an explanatory view of a driving method of a light emitting device according to the present invention.

Fig. 15 is a view of a light emitting device of the present invention.

Fig. 16 is a circuit diagram of a pixel in a light emitting device.

10 Fig. 17 is an explanatory view of operations of a pixel in the light emitting device.

Fig. 18 is a view of a current source circuit.

Fig. 19 is an explanatory view of operations of a current source circuit.

Fig. 20 is an explanatory view of operations of a current source circuit.

Fig. 21 is an explanatory view of operations of a current source circuit.

15 Fig. 22 is a view of an electronic device to which a light emitting device according to the present invention is applied.

Fig. 23 is a circuit diagram of a video-signal current source .

Fig. 24 is a circuit diagram of a video-signal current source .

Fig. 25 is a circuit diagram of a video-signal current source .

20 Fig. 26 is a view of a signal line drive circuit (2-bit).

Fig. 27 is a circuit diagram of a current source.

Fig. 28 is a circuit diagram of a current source.

Fig. 29 is a circuit diagram of a current source.

Fig. 30 is a circuit diagram of a current source.

25 Fig. 31 is a circuit diagram of a current source.

Fig. 32 is a circuit diagram of a current source.

Fig. 33 is a view showing a signal line drive circuit.

Fig. 34 is a view showing a signal line drive circuit.

Fig. 35 is a view showing a signal line drive circuit.

Fig. 36 is a view showing a signal line drive circuit.

Fig. 37 is a view showing a signal line drive circuit.

5 Fig. 38 is a view showing a signal line drive circuit.

Fig. 39 is a view showing a signal line drive circuit.

Fig. 40 is a view showing a signal line drive circuit.

Fig. 41 is a view showing a signal line drive circuit.

Fig. 42 is a view showing a signal line drive circuit.

10 Fig. 43 is a view showing a signal line drive circuit.

Fig. 44 is a circuit diagram of a video-signal current source .

Fig. 45 is a circuit diagram of a video-signal current source .

Fig. 46 is a circuit diagram of a video-signal current source .

Fig. 47 is a circuit diagram of a video-signal current source .

15 Fig. 48 is a view of a signal line drive circuit.

Fig. 49 is a layout view of a current source circuit.

Fig. 50 is a circuit diagram of a current source circuit.

20 Best Mode for carrying out the Invention

[First Embodiment]

In this embodiment, an example of a circuit structure and its operation of a current source circuit 420 which is supplied in a signal line drive circuit of the present invention will be described.

25

In the invention, a setting signal input from a terminal a represents a signal input from an output terminal of a logical operator. In other words, the setting signal in

Fig. 1 corresponds to the signal input from the output terminal of the logical operator.

In the present invention, the setting operation of the current source circuit 420 is performed in accordance with the signal input from the output terminal of the logical operator.

5 One of two input terminals of the logical operator is input with a sampling pulse from a register, and the other is input with a latch pulse. In the logical operator, a logic operation of two signals which have been input is performed, and a signal from the output terminal is output. Then in the current source circuit, the setting operation or the input operation is performed according to the signal input from the output terminal
10 of the logical operator.

Note that a shift register has a structure including, for example, flip-flop circuits (FFs) in a plurality of columns. A clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input to the shift register, and signals serially output according to the timing of the input signals are called sampling pulses.

15 In Fig. 6A, a circuit including switches 104, 105a, and 106, a transistor 102 (n-channel type), and a capacitor device 103 for retaining a gate-source voltage VGS of the transistor 102 corresponds to the current source circuit 420.

In the current source circuit 420, the switch 104 and the switch 105a are turned ON by a signal input via the terminal a. A current is supplied via a terminal b from a
20 video-signal current source 109 (hereafter referred to as constant current source 109) connected to a current line (video line), and a charge is retained in the capacitor device 103. The charge is retained in the capacitor device 103 until a signal current I_{data} supplied from the constant current source 109 becomes identical with a drain current of the transistor 102.

25 Then, the switch 104 and the switch 105a are turned OFF by a signal input via the terminal a. As a result, since the predetermined charge is retained in the capacitor device 103, the transistor 102 is imparted with a capability of flowing a current having a

magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch) and the switch 106 are turned into a conductive state, a current via a terminal c flows to a pixel connected to the signal line. At this time, since the gate voltage of the transistor 102 is maintained at a predetermined gate voltage in the capacitor device 103. Thus, the effects of the characteristic variations of TFTs constituting the signal line drive circuit is reduced, and the magnitude of the current input to the pixel can be controlled.

The connection structure of the switch 104 and the switch 105a is not limited to the structures shown in Fig. 6A. For example, the structure may be such that one of terminals of the switch 104 is connected to the terminal b, and the other terminal is connected between itself and the gate electrode of the transistor 102; and one of terminals of the switch 105a is connected to the terminal b via the switch 104, and the other terminal is connected to the switch 106. Then, the switch 104 and the switch 105a are controlled by a signal input from the terminal a.

Alternatively, the switch 104 may be disposed between the terminal b and the gate electrode of the transistor 104, and the switch 105a may be disposed between the terminal b and the switch 116. Specifically, referring to Fig. 27A, lines, switches, and the like may be disposed such that the connection is structured as shown in Fig. 27(A1) in the setting operation, and the connection is structured as shown in Fig. 27(A2) in the input operation. The number of wirings, the number of switches, and the structure are not particularly limited.

In the current source circuit 420 of Fig. 6A, the signal setting operation (setting operation) and the signal inputting operation (input operation) to the pixel or the current source circuit, that is, the current outputting operation from the current source circuit cannot be performed simultaneously.

Referring to Fig. 6B, a circuit including a switch 124, a switch 125, a transistor 122 (n-channel type), a capacitor device 123 for retaining a gate-source voltage V_{GS} of

the transistor 122, and a transistor 126 (n-channel type) corresponds to the current source circuit 420.

The transistor 126 functions as either a switch or a part of a current source transistor.

5 In the current source circuit 420 shown in Fig. 6B, the switch 124 and the switch 125 are turned ON by a signal input via the terminal a. Then, a current is supplied via the terminal b from the constant current source 109 connected to the current line, and a charge is retained in the capacitor device 123. The charge is retained therein until the signal current I_{data} flown from the constant current source 109 becomes
10 identical with a drain current of the transistor 122. Note that, when the switch 124 is turned ON, since a gate-source voltage V_{GS} of the transistor 126 is set to 0 V, the transistor 126 is turned OFF.

Subsequently, the switch 124 and the switch 125 are turned OFF by a signal input via the terminal a. As a result, since a predetermined charge is retained in the
15 capacitor device 123, the transistor 122 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch) is turned into a conductive state, the current flows to the pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 122 is maintained by the capacitor device 123 at a
20 predetermined gate voltage, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 122. Thus, the effects of the characteristic variations of TFTs constituting the signal line drive circuit is reduced, and the magnitude of the current input to the pixel can be controlled.

When the switches 124 and 125 have been turned OFF, gate and source
25 potentials of the transistor 126 are varied not to be the same. As a result, since the charge retained in the capacitor device 123 is distributed also to the transistor 126, and the transistor 126 is automatically turned ON. Here, the transistors 122 and 126 are

connected in series, and the gates thereof are connected. Accordingly, each of the transistors 122 and 126 serves as a multi-gate transistor. That is, a gate length L of the transistor varies between the setting operation and the input operation. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can
5 be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the constant current source 109 can be charged even faster. Consequently, the setting operation can be completed quickly.

The number of switches, the number of wirings, and their connection
10 structures are not particularly limited. Specifically, referring to Fig. 27B, wirings and switches may be disposed such that the connection is structured as shown in Fig. 27(B1) in the setting operation, and the connection is structured as shown in Fig. 27(B2) in the input operation. In particular, in Fig. 27(C2), it is sufficient that the charge accumulated in a capacitor device 107 does not leak. The number of switches and
15 wirings are not particularly limited.

Note that, in the current source circuit 420 shown in Fig. 6B, the signal setting operation (setting operation) and the signal inputting operation (input operation) to the pixel, that is, the current outputting operation from the current source circuit cannot be performed simultaneously.

20 Referring to Fig. 6C, a circuit including a switch 108, a switch 110, transistors 105b, 106 (n-channel type), and a capacitor device 107 for retaining gate-source voltages V_{GS} of the transistors 150b and 106 corresponds to the current source circuit 420.

In the current source circuit 420 shown in Fig. 6C, the switch 108 and the
25 switch 110 are turned ON by a signal input via a terminal a. Then, a current is supplied via a terminal b from the constant current source 109 connected to the current line, and a charge is retained in the capacitor device 107. The charge is retained therein until the

signal current I_{data} flow from the constant current source 109 becomes identical with a drain current of the transistor 105b. At this time, since the gate electrodes of the transistor 105b and of the transistor 106 are connected to each other, the gate voltages of the transistor 105b and the transistor 106 are retained by the capacitor device 107.

5 Then, the switch 108 and the switch 110 are turned OFF by the signal input via the terminal a. As a result, since a predetermined charge is retained in the capacitor device 107, the transistor 106 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch) is turned to a conductive state, a current flows to the pixel
10 connected to the signal line via a terminal c. At this time, since the gate voltage of the transistor 106 is maintained by the capacitor device 107 at the predetermined gate voltage, a drain current corresponding to the current (the signal current I_{data}) flows to the drain region of the transistor 106. Thus, the effects of the characteristic variations of TFTs constituting the signal line drive circuit is reduced, and the magnitude of the
15 current input to the pixel can be controlled.

At this time, characteristics of the transistor 105b and the transistor 106 need to be the same to cause the drain current corresponding to the signal current I_{data} to flow precisely to the drain region of the transistor 106. To be more specific, values such as mobility and thresholds of the transistor 105b and the transistor 106 need to be the same.
20 In addition, in Fig. 6C, the value of W (gate width)/ L (gate length) of each of the transistor 105b and the transistor 106 may be arbitrarily set, and a current proportional to the signal current I_{data} supplied from the constant current source 109 and the like may be supplied to the pixel.

Further, the value of W/L of the transistor 105b or the transistor 106 that is
25 connected to the constant current source 109 is set high, whereby the write speed can be increased by supplying a large current from the constant current source 109.

With the current source circuit 420 shown in Fig. 6C, the signal setting operation

(setting operation) can be performed simultaneously with the signal inputting operation (input operation) to the pixel.

Each of the current source circuits 420 of Figs. 6D and 6E has the same circuit element connection structures as that of the current source circuit 420 of Fig. 6C, except
5 for the connection structure of the switch 110. In addition, since the operation of the current source circuit 420 of each of Figs. 6D and 6E conforms to the operation of the current source circuit 420 of Fig. 6C, a description thereof will be omitted in the present embodiment.

Note that, the number of switches, the number of wirings, and their connection
10 structures are not particularly limited. Specifically, referring to Fig. 27C, wirings and switches may be disposed such that the connection is structured as shown in Fig. 27(C1) in the setting operation, and the connection is structured as shown in Fig. 27(C2) in the input operation. In particular, in Fig. 27(C2), it is sufficient that the charge accumulated in the capacitor device 107 does not leak.

15 Referring to Fig. 28A, a circuit including switches 195b, 195c, 195d, and 195f, a transistor 195a, and a capacitor device 195e corresponds to the current source circuit. In the current source circuit shown in Fig. 28A, the switches 195b, 195c, 195d, and 195f are turned ON by a signal input via a terminal a. Then, a current is supplied via a terminal b from the constant current source 109 connected to the current line. A
20 predetermined charge is retained in the capacitor device 195e until the signal current supplied from the constant current source 109 becomes identical with a drain current of the transistor 195a.

Then, the switches 195b, 195c, 195d, and 195f are turned OFF by a signal input via the terminal a. At this time, since the predetermined charge is retained in the
25 capacitor device 195e, the transistor 195a is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current. This is because the gate voltage of the transistor 195a is set by the capacitor device 195a to a

predetermined gate voltage, and a drain current corresponding to a current (reference current) flows to the drain region of the transistor 195a. In this state, a current is supplied to the outside via a terminal c. Note that, in the current source circuit shown in Fig. 28A, the operation for setting the current source circuit to have a capability of
5 flowing a signal current cannot be performed simultaneously with the input operation for inputting the signal current to the pixel. In addition, when a switch controlled by the signal input via the terminal a is ON, and also, when a current is controlled not to flow from the terminal c, the terminal c needs to be connected to another line of the other potential. Here, the line potential is represented by V_a . V_a may be a potential
10 sufficient to flow a current flowing from the terminal b as it is, and may be a power supply voltage V_{dd} as an example.

Note that, the number of switches, the number of wirings, and their connection structures are not particularly limited. Specifically, referring to Figs. 28B and 28C, wirings and switches may be disposed such that the connection is structured as shown
15 in either Fig. 28(B1) or 28(C1) in the setting operation, and the connection is structured as shown in either Fig. 28(B2) or 28(C2) in the input operation. The number of wirings and switches are not particularly limited.

Further, in the current source circuits of Figs. 6A and 6C to 6E, the current-flow directions (directions from the pixel to the signal line drive circuit) are the same. The
20 polarity (conductivity type) of each of the transistor 102, the transistor 105b, and the transistor 106 can be of p-channel type.

Fig. 7A shows a circuit structure in which the current-flow direction (direction from the pixel to the signal line drive circuit) is the same, and the transistor 102 shown in Fig. 6A is set to be of p-channel type. In Fig. 7A, with the capacitor device disposed
25 between the gate and the source, even when the source potential varies, the gate-source voltage can be maintained. Further, Figs. 7B to 7D show circuit diagrams in which the current-flow directions (directions from the pixel to the signal line drive circuit) are the

same, and the transistor 105b and the transistor 106 shown in Figs. 6C to 6E are set to be of p-channel type.

Further, Fig. 29A shows a case where the transistor 195a is set to be of p-channel type in the structure of Fig. 28. Fig. 29B shows a case where the transistors
5 122 and 126 are set to be of p-channel type in the structure of Fig. 6B.

Referring to Fig. 31, a circuit including switches 104 and 116, a transistor 102, a capacitor device 103, and the like corresponds to the current source circuit.

Fig. 31A corresponds to the circuit of Fig. 6A that is partly modified. In the current source circuit of Fig. 31A, the transistor gate width W varies between the setting
10 operation of the current source and the input operation. Specifically, in the setting operation, the connection is structured as shown in Fig. 31B, in which the gate width W is large. In the input operation, the connection is structured as shown in Fig. 31C, in which the gate width W is small. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the
15 current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the constant current source for the video signal can be charged even faster. Consequently, the setting operation can be completed quickly.

Note that, Fig. 31 shows the circuit of Fig. 6A that is partly modified. In
20 addition, the circuit can be easily applied to, for example, other circuits shown in Fig. 6 and to the circuits shown in Fig. 7, Fig. 28, Fig. 30, and Fig. 29.

Note that, in the above mentioned current source circuits, a current flows from the pixel to the signal line drive circuit. However, the current not only flows from the pixel to the signal line drive circuit, but also may flow from the signal line drive circuit
25 to the pixel. It depends on the structure of the pixel that the current flows in a direction from the pixel to the signal line drive circuit or in a direction from the signal line drive circuit to the pixel. In the case where the current flows from the signal line drive circuit

to the pixel, Vss (low potential power source) may be set to Vdd (high potential power source), and the transistors 102, 105b, 106, 122, and 126 may be set to be of p-channel type in Fig. 6. Also in the circuit diagram shown in Fig. 7, Vss may be set to Vdd, and the transistors 102, 105b, and 106 may be of n-channel type.

5 Note that wirings and switches may be disposed such that the connection is structured as shown in Figs. 30 (A1) to (D1) in the setting operation, and the connection is structured as shown in Figs. 30 (A2) to (D2) in the input operation. The number of switches, the number of wirings and their connection structures are not particularly limited.

10 Note that, in all the current source circuits described above, the disposed capacitor device may not be disposed by being substituted by, for example, a gate capacitance of a transistor.

 Hereinafter, a description will be made in detail regarding the operations of the current source circuits of Figs. 6A, 7A, 6C to 6E, and 7B to 7D among those described
15 above by using Figs. 6 and 7. To begin with, the operations of the current source circuits of Figs. 6A and 7A will be described with reference to Fig. 19.

 Figs. 19A to 19C schematically show paths of a current flowing among circuit elements. Fig. 19D shows the relationship between the current flowing through each path and the time when the signal current I_{data} is written to the current source circuit.
20 Fig. 19E shows the relationship between the voltage accumulated in a capacitor device 16, that is, the gate-source voltage of a transistor 15, and the time when the signal current I_{data} is written to the current source circuit. In the circuit diagrams of Figs. 19A to 19C, numeral 11 denotes a video-signal current source, each of switches 12 to 14 is a semiconductor device having a switching function, numeral 15 denotes a transistor (n-
25 channel type), numeral 16 denotes a capacitor device, and numeral 17 denotes a pixel. In this embodiment, the switch 14, the transistor 15, and the capacitor device 16 form an electric circuit corresponding to a current source circuit 20. Drawing lines and

reference symbols are shown in Fig. 19A. Since drawing lines and reference symbols shown in Figs. 19B and 19C are similar to those shown in Fig. 19A, they are omitted here.

A source region of the n-channel transistor 15 is connected to Vss, and a drain region thereof is connected to the video-signal current source 11. One of electrodes of the capacitor device 16 is connected to Vss (the source of the transistor 15), and the other electrode is connected to the switch 14 (the gate of the transistor 15). The capacitor device 16 plays a role of holding the gate-source voltage of the transistor 15.

Note that, in practice, the current source circuit 20 is supplied in the signal line drive circuit. A current corresponding to the signal current I_{data} flows via, for example, a circuit element included in the signal line or the pixel from the current source circuit 20 supplied in the signal line drive circuit. However, since Fig. 19 is a diagram for briefly explaining the outline of the relationship among the video-signal current source 11, the current source circuit 20, and the pixel 17, a detailed illustration of the structure is omitted.

First, an operation (setting operation) of the current source circuit 20 for retaining the signal current I_{data} will be described by using Figs. 19A and 19B.

Referring to Fig. 19A, the switch 12 and the switch 14 are turned ON, and the switch 13 is turned OFF. In this state, the signal current I_{data} is output from the video-signal current source 11, and flows to the current source circuit 20 from the video-signal current source 11. At this time, since the signal current I_{data} is flowing from the video-signal current source 11, the current flows separately through current paths I_1 and I_2 in the current source circuit 20, as shown in Fig. 19A. Fig. 19D shows the relationship at this time. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the current starts to flow from the video-signal current source 11, since no charge is accumulated in the capacitor device 16, the transistor 15 is OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established.

A charge is gradually accumulated into the capacitor device 16, and a potential difference begins to occur between both electrodes of the capacitor device 16 (Fig. 19E).

When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 19E), the transistor 15 is turned ON, and $I_2 > 0$ is established. As described above, since

5 $I_{data} = I_1 + I_2$, while I_1 gradually decreases, the current keeps flowing. The charge accumulation is continuously performed in the capacitor device 16.

The potential difference between both the electrodes of the capacitor device 16 serves as the gate-source voltage of the transistor 15. Thus, the charge accumulation in the capacitor device 16 continues until the gate-source voltage of the transistor 15
10 reaches a desired voltage, that is, a voltage (VGS) that allows the transistor is to be flown with the current I_{data} . When the charge accumulation terminates (B point in Fig. 19E), the current I_1 stops flowing. Further, since the TFT 15 is ON, $I_{data} = I_2$ is established (Fig. 19B).

Next, an operation (input operation) for inputting the signal current I_{data} to the
15 pixel will be described by using Fig. 19C. When the signal current I_{data} is input to the pixel, the switch 13 is turned ON, and the switch 12 and the switch 14 are turned OFF. Since VGS written in the above-described operation is held in the capacitor device 16, the transistor 15 is ON. A current identical with the signal current I_{data} flows to V_{ss} via the switch 13 and transistor 15, and the input of the signal current I_{data} to the pixel is
20 then completed. At this time, when the transistor 15 is set to operate in a saturation region, even if the source-drain voltage of the transistor 15 varies, a current flowing into the pixel can flows constantly.

In the current source circuit 20 shown in Fig. 19, as shown in Figs. 19A to 19C, the operation is divided into an operation (setting operation; corresponding to Figs. 19A
25 and 19B) for completing a write of the signal current I_{data} to the current source circuit 20, and an operation (input operation; corresponding to Fig. 19C) for inputting the signal current I_{data} to the pixel). Then, in the pixel, a current is supplied to the light

emitting element in accordance with the input signal current I_{data} .

The current source circuit 20 of Fig. 19 is not capable of performing the setting operation and the input operation simultaneously. In the case where the setting operation and the input operation need to be performed simultaneously, at least two
5 current source circuits are preferably supplied to each of a plurality of signal lines each of which is connected with a plurality of pixels and which are provided in a pixel portion. However, if the setting operation can be performed within a period during which the signal current I_{data} is not input to the pixel, only one current source circuit may be provided for each signal line (each column).

10 Although the transistor 15 of the current source circuit 20 shown in each of Figs. 19A to 19C is of n-channel type, the transistor 15 of the current source circuit 20 may be of p-channel type, of course. Here, a circuit diagram for the case where the transistor 15 is of p-channel type is shown in Fig. 19. Referring to Fig. 19F, numeral 31 denotes a video-signal current source, each switches 32 to 34 is a semiconductor device
15 (transistor) having a switching function, numeral 35 denotes a transistor (p-channel type), numeral 36 denotes a capacitor device, and numeral 37 denotes a pixel. In this embodiment, the switch 34, the transistor 35, and the capacitor device 36 form an electric circuit corresponding to a current source circuit 24.

The transistor 35 is of p-channel type. One of a source region and a drain
20 region of the transistor 35 is connected to V_{dd} , and the other is connected to the constant current source 31. One of electrodes of the capacitor device 36 is connected to V_{dd} , and the other electrode is connected to the switch 36. The capacitor device 36 plays a role of holding the gate-source voltage of the transistor 35.

An operation of the current source circuit 24 of Fig. 19F is similar to that of the
25 current source circuit 20 described above, except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarity of the transistor 15 is changed without changing the

current-flow direction, the circuit diagram of Fig. 7A may be referenced.

Note that in Fig. 32, the current-flow direction is the same as in Fig. 19F, in which the transistor 35 is of n-channel type. The capacitor device 36 is connected between the gate and the source of the transistor 35. The source potential of the transistor 35 varies between the setting operation and the input operation. However, even when the source potential varies, since the gate-source voltage is retained, a normal operation is implemented.

Next, operations of the current source circuits shown in Figs. 6C to 6E and Figs. 7B to 7D will be described by using Figs. 20 and 21. Figs. 20A to 20C schematically show paths through which a current flows among circuit elements. Fig. 20D shows the relationship between the current flowing through each path and the time when the signal current I_{data} is written to the current source circuit. Fig. 20E shows the relationship between the voltage accumulated in a capacitor device 46, that is, the gate-source voltages of transistor 43, 44, and the time when the signal current I_{data} is written to the current source circuit. Further, in the circuit diagrams of Figs. 20A to 20C, numeral 41 denotes a video-signal current source, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (n-channel type), numeral 46 denotes a capacitor device, and numeral 47 denotes a pixel. In this embodiment, the switch 42, the transistors 43 and 44, and the capacitor device 46 compose an electric circuit corresponding to a current source circuit 25. Note that drawing lines and reference symbols are shown in Fig. 20A, and since drawing lines and reference symbols shown in Figs. 20B and 20C conform to those shown in Fig. 20A, they are omitted.

A source region of the n-channel transistor 43 is connected to V_{ss} , and a drain region thereof is connected to the video signal current source 41. A source region of the n-channel transistor 44 is connected to V_{ss} , and a drain region thereof is connected to a terminal 48 of the light emitting element 47. One of electrodes of the capacitor

device 46 is connected to Vss (the sources of the transistors 43 and 44), and the other electrode thereof is connected to the gate electrodes of the transistors 43 and 44. The capacitor device 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

5 Note that, in practice, the current source circuit 25 is provided in the signal line drive circuit. A current corresponding to the signal current I_{data} flows via, for example, a circuit element included in the signal line or the pixel, from the current source circuit 25 provided in the signal line drive circuit. However, since Fig. 20 is a diagram for briefly explaining the outline of the relationship among the video-signal current source
10 41, the current source circuit 25, and the pixel 47, a detailed illustration of the structure is omitted.

In the current source circuit 25 of Fig. 20, the sizes of the transistors 43 and 44 are important. Hereinafter, using different reference symbols, a case where the sizes of the transistors 43 and 44 are identical and a case the sizes are mutually different will be
15 described. Referring to Figs. 20A to 20C, the case where the sizes of the transistors 43 and 44 are mutually identical will be described by using the signal current I_{data} . The case where the sizes of the transistors 43 and 44 are mutually different will be described by using a signal current I_{data1} and a signal current I_{data2} . Note that the sizes of the transistors 43 and 44 are determined by using the value of W (gate width)/ L (gate
20 length) of each transistor.

First, the case where the sizes of the transistors 43 and 44 are mutually identical will be described. To begin with, operations for retaining the signal current I_{data} in the current source circuit 20 will be described by using Figs. 20A and 20B. Referring to Fig. 20A, when the switch 42 is turned ON, the signal current I_{data} is set in the video
25 signal current source 41, and flows from the video-signal current source 41 to the current source circuit 25. At this time, since the signal current I_{data} is flowing from the video-signal current source 41, the current flows separately through current paths I_1

and I_2 in the current source circuit 20, as shown in Fig. 20A. Fig. 20D shows the relationship at this time. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the current starts to flow from the video signal current source 41, since no charge is yet accumulated in the capacitor device 46, the transistors 43 and 44 are OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established.

Then, a charge is gradually accumulated into the capacitor device 46, and a potential difference begins to occur between both electrodes of the capacitor device 46 (Fig. 20E). When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 20)), the transistors 43 and 44 are turned ON, and $I_2 > 0$ is established. As described above, since $I_{data} = I_1 + I_2$, while I_1 gradually decreases, the current keeps flowing. The charge accumulation is continuously performed in the capacitor device 46.

The potential difference between both the electrodes of the capacitor device 46 serves as the gate-source voltage of each of the transistors 43 and 44. Thus, the charge accumulation in the capacitor device 46 continues until each the gate-source voltages of the transistors 43 and 44 reaches a desired voltage, that is, a voltage (V_{GS}) that allows the transistor 44 to be flown with the current I_{data} . When the charge accumulation terminates (B point in Fig. 20E), the current I_1 stops flowing. Further, since the transistors 43 and 44 are ON, $I_{data} = I_2$ is established (Fig. 20B).

Next, an operation for inputting the signal current I_{data} to the pixel will be described by using Fig. 20C. First, the switch 42 is turned OFF. Since V_{GS} written at the above-described operation is retained in the capacitor device 46, the transistors 43 and 44 are ON. A current identical with the signal current I_{data} flows from the pixel 47. Thus, the signal current I_{data} is input to the pixel. At this time, when the transistor 44 is set to operate in a saturation region, even if the source-drain voltage of the transistor 44 varies, the current flowing in the pixel can be flown without variation.

In the case of a current mirror circuit shown in Fig. 6C, even when the switch 42 is not turned OFF, a current can be flown to the pixel 47 by using the current supplied

from the video signal current source 41. That is, the setting operation for setting a signal for the current source circuit 20 can be implemented simultaneously with the operation (input operation) for inputting a signal to the pixel.

Next, a case where the sizes of the transistors 43 and 44 are mutually different will be described. An operation of the current source circuit 25 is similar to the above-described operation; therefore, a description thereof will be omitted here. When the sizes of the transistors 43 and 44 are mutually different, the signal current I_{data1} set in the video signal current source 41 is inevitably different from the signal current I_{data2} that flows to the pixel 47. The difference therebetween depends on the difference between the values of W (gate width)/ L (gate length) of the transistors 43 and 44.

In general, the W/L value of the transistor 43 is preferably set larger than that of the transistor 44. This is because the signal current I_{data1} can be increased when the W/L value of the transistor 43 is set large. In this case, when the current source circuit is set with the signal current I_{data1} , Loads (cross capacitances, wiring resistances) can be charged. Thus, the setting operation can be completed quickly.

The transistors 43 and 44 of the current source circuit 25 in each of Figs. 20A to 20C are of n-channel type, but the transistors 43 and 44 of the current source circuit 25 may be of p-channel type. Here, Fig. 21 shows a circuit diagram in which the transistors 43 and 44 are of p-channel type.

Referring to Fig. 21, numeral 41 denotes a constant current source, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (p-channel type), numeral 46 denotes a capacitor device, and numeral 47 denotes a pixel. In this embodiment, the switch 42, the transistors 43 and 44, and the capacitor device 46 form an electric circuit corresponding to a current source circuit 26.

A source region of the p-channel transistor 43 is connected to V_{dd} , and a drain region thereof is connected to the constant current source 41. A source region of the p-channel transistor 44 is connected to V_{dd} , and a drain region thereof is connected to a

terminal 48 of the light emitting element 47. One of electrodes of the capacitor device 46 is connected to (source), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor device 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

5 The operation of the current source circuit 24 of Fig. 21 is similar to that shown in each of Figs. Figs. 20A to 20C except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarities of the transistors 43 and 44 are changed without changing the current-flow direction, Fig. 7B and Fig. 32 may be referenced.

10 In summary, in the current source circuit of Fig. 19, the current having the same magnitude as that of the signal current I_{data} set in the constant current source flows to the pixel. In other words, the signal current I_{data} set in the constant current source is identical in value with the current flowing to the pixel. The current is not effected by characteristic variations of transistors supplied in the current source circuit.

15 In each of the current source circuits of Fig. 19 and Fig. 6B, the signal current I_{data} cannot be output to the pixel from the current source circuit in a period during which the setting operation is performed. Thus, two current source circuits are preferably provided for each signal line, in which an operation (setting operation) for setting a signal is performed to one of the current source circuits, and an operation
20 (input operation) for inputting I_{data} to the pixel is performed using the other current source circuit.

 However, in the case where the setting operation and the input operation are not performed at the same time, only one current source circuit may be provided for each column. The current source circuit of each of Figs. 28A and 29A is similar to the
25 current source circuit of Fig. 19, except for the connection and current-flow paths. The current source circuit of Fig. 31A is similar, except for the difference in magnitude between the current supplied from the constant current source and the current flowing

from the current source circuit. The current source circuits of Figs. 6B and 29B are similar, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. Specifically, in Fig. 31A, only the gate width W of the transistor is different between the setting operation and the input operation; in Figs. 6B and 29B, only the gate length L is different between the setting operation and the input operation; and others are similar to those of the structure of the current source circuit in Fig. 19.

In each of the current source circuits of Figs. 20 and 21, the signal current I_{data} set in the constant current source and the value of the current flowing to the pixel are dependent on the sizes of the two transistors provided in the current source circuit. In other words, the signal current I_{data} set in the constant current source and the current flowing to the pixel can be arbitrarily changed by arbitrarily designing the sizes (W (gate width)/ L (gate length)) of the two transistors provided in the current source circuit. However, output of a precise signal current I_{data} to the pixel is difficult in the case where variation is caused in the characteristics of the two transistors, such as threshold values and mobility.

Further, in each of the current source circuits of Figs. 20 and 21, the signal can be input to the pixel during the setting operation. That is, the setting operation for setting the signal can be performed simultaneously with the operation (input operation) for inputting the signal to the pixel. Thus, unlike the current source circuit of Fig. 19, two current source circuits do not need to be provided in a single signal line.

The present invention with the above structure can reduce the effects of characteristic variations in the TFT and supply a desired current to the outside.

[Second embodiment]

The above has described that, for a current source circuit like the one shown in Fig. 6 (and, Figs. 19, 31A, 6B, 29B, or the like), preferably, two current source circuits

are provided for each signal line (each column), in which one of the current source circuits is used to perform the signal setting operation (set operation), and the other current source circuit is used to perform the I_{data} input operation (input operation) to the pixel. This is because the setting operation and the input operation cannot be performed simultaneously. In this embodiment, an exemplary circuit structure of the current source circuit 420 shown in Fig. 2, which has a signal drive circuit of the present invention, will be described with reference to Fig. 8.

In the present invention, a setting signal input from a terminal a represents a signal input from an output terminal of a logical operator. In other words, the setting signal in Fig. 1 corresponds to the signal input from the output terminal of the logical operator. In the present invention, the setting operation of the current source circuit 420 is performed in accordance with the signal input from the output terminal of the logical operator.

One of two input terminals of the logical operator is input with a sampling pulse from a register, and the other is input with a latch pulse. In the logical operator, a logic operation of two signals which have been input is performed, and a signal from the output terminal is output. Then in the current source circuit, the setting operation or the input operation is performed according to the signal input from the output terminal of the logical operator.

The current source circuit 420 is controlled by a setting signal input via the terminal a, and is input with a signal current supplied from the terminal b, thereby the current source circuit 420 outputs a current proportional to the signal current (a video-signal current) from the terminal c.

Referring to Fig. 8A, a circuit including switches 134 to 139, a transistor 132 (n-channel type), and a capacitor device 133 for retaining a gate-source voltage V_{GS} of the transistor 132 corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit 422, the switch 134 and the switch 136 are turned ON by the signal input via the terminal a.

Further, the switch 135 and the switch 137 are turned ON by the signal input from the control line via the terminal d. Then, a current (a video-signal current) is supplied via the terminal b from the video-signal current source 109 connected to the current line, and a charge is retained in the capacitor device 133. The charge is retained in the capacitor device 133 until the signal current I_{data} flown from the video-signal current source 109 becomes identical with a drain current of the transistor 132.

Subsequently, the switches 134 to 137 are turned OFF by the signals input via the terminals a and d. As a result, since a predetermined charge is retained in the capacitor device 133, the transistor 132 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switches 101, 138 and 139 are turned into a conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 132 is maintained by the capacitor device 133 at the predetermined gate voltage, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 132. Thus, the effects of the characteristic variations of TFTs constituting the signal line drive circuit is reduced, and the magnitude of the current input to the pixel can be controlled.

Referring to Fig. 8B, a circuit including switches 144 to 147, a transistor 142 (n-channel type), a capacitor device 143 for retaining a gate-source voltage V_{GS} of the transistor 142, and a transistor 148 (n-channel type) corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit 422, the switch 144 and the switch 146 are turned ON by the signal input via the terminal a. Further, the switch 145 and the switch 147 are turned ON by the signal input from the control line via the terminal d. Then, a current is supplied via the terminal b from the

constant current source 109 connected to the current line, and a charge is retained in the capacitor device 143. The charge is retained in the capacitor device 143 until a signal current I_{data} that is flown from the constant current source 109 becomes identical with a drain current of the transistor 142. When the switch 144 and the switch 145 are turned
5 ON, since a gate-source voltage VGS of the transistor 148 is set to 0 V, the transistor 148 is automatically turned OFF.

Subsequently, the switches 144 to 147 are turned OFF by the signals input via the terminals a and d. As a result, since the signal current I_{data} is retained in the capacitor device 143, the transistor 142 has a capability of flowing a current having a
10 magnitude corresponding to that of the signal current I_{data} . If the switch 101 is turned to a conductive state, a current is supplied to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 142 is maintained by the capacitor device 143 at a predetermined gate voltage, a drain current corresponding to the signal current I_{data} flows to a drain region of the transistor 142. Thus, the effects of
15 the characteristic variations of TFTs constituting the signal line drive circuit is reduced, and the magnitude of the current input to the pixel can be controlled.

When the switches 144 and 145 have been turned OFF, gate and source potentials of the transistor 126 are varied not to be the same. As a result, since the charge retained in the capacitor device 143 is distributed also to the transistor 148, and
20 the transistor 148 is automatically turned ON. Here, the transistors 142 and 148 are connected in series, and the gates thereof are connected. Accordingly, each of the transistors 142 and 148 serves as a multi-gate transistor. That is, a gate length L of the transistor varies between the setting operation and the input operation. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can
25 be made larger than that from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the video-signal current source can be charged even faster.

Consequently, the setting operation can be completed quickly.

Note that Fig. 8A corresponds to a structure in which the terminal d is added to the structure of Fig. 6A. Fig. 8B corresponds to a structure in which the terminal d is added to the structure of Fig. 6B. Thus, the structures of Figs. 6A and 6B are added with switches in series, thereby being modified to those of Figs. 8A and 8B each of which is added with the terminal d. The structure of the current source circuit shown in, for example, Fig. 6, 7, 28, 29, or 31 can be arbitrarily used by arranging two switches in series in the first current source circuit 421 or the second current source circuit 422 of Fig. 2.

10 The structure in which the current source circuit 420 including for each signal line the two current source circuits, namely, the first and second current source circuits 421 and 422, is shown in Fig. 2. However, the present invention is not limited to this. For example, three current source circuits 420 may be provided for each signal line. Then, a signal current may be set by different r constant current sources 109 for the
15 respective current source circuits 420. For example, it may be such that a 1-bit video-signal current source is used to set a signal current for one of the current source circuits 420, a 2-bit video-signal current source is used to set a signal current for one of the current source circuits 420, and a 3-bit video-signal current source is used to set a signal current for one of the current source circuits 420. Thus, 3-bit display can be
20 performed.

 This embodiment may be arbitrarily combined with first embodiment. That is, as shown in Figs. 4, 5, 26 and 27, current source circuits of Fig. 6 can be disposed such that two current source circuits are disposed in each column as shown in Fig. 2 from that one current source circuit is disposed in each column. Then, for example, in Fig. 2, assuming that a current supplied from the current source circuit 421 is 4.9A, a current
25 supplied from the current source circuit 422 is 5.1A, by supplying a current from either the current source circuit 421 or the current source circuit 422 in each frame, variation

of the current source circuits can be averaged.

This embodiment may be arbitrarily combined with first embodiment.

[Third embodiment]

5 In this embodiment, the structure of a light emitting device including the signal line drive circuit of the present invention will be described using Fig. 15.

 The light emitting device includes a pixel portion 402 including a plurality of pixels arranged in matrix on a substrate 401, and includes a signal line drive circuit 403 and a first scanning line drive circuit 404 and a second scanning line drive circuit 405 in
10 the periphery of the pixel portion 402. While the signal line drive circuit 403 and the two scanning line drive circuits 404 and 405 are provided in Fig. 15A, the present invention is not limited to this. The number of drive circuits may be arbitrarily designed depending on the pixel structure. Signals are supplied from the outside to the signal line drive circuit 403, the first scanning line drive circuit 404 and the second
15 scanning line drive circuit 405 via FPCs 406.

 The structures and operations of the first scanning line drive circuit 404 and the second scanning line drive circuit 405 will be described using Fig. 15B. Each the first scanning line drive circuit 404 and the second scanning line drive circuit 405 includes a shift register 407 and a buffer 408. If the operation is described briefly, the shift
20 register 407 sequentially outputs sampling pulses in accordance with a clock signal (G-CLK), a start pulse (S-SP), and an inverted clock signal (G-CLKb). Thereafter, the sampling pulses amplified in the buffer 408 are input to scanning lines, and the scanning lines are set to be in a selected state for each line. Signals are sequentially written to pixels controlled by the selected signal lines.

25 Note that the structure may be such that a level shifter circuit is disposed between the shift register 407 and the buffer 408. Disposition of the level shifter circuit enables the voltage amplitude to be increased.

The structure of the signal line drive circuit 403 will be hereafter described. This embodiment may be arbitrarily combined with Embodiments 1 and 2.

[Fourth Embodiment]

5 In this embodiment, the configuration and the operation of the signal-line drive circuit 403 shown in Fig. 15A will be described. In this embodiment, the signal-line drive circuit 403 used for performing analog intensity-level assigning or 1-bit digital intensity-level assigning will be described with reference to Fig. 3A and Fig. 4.

Fig. 3A is a schematic diagram of the signal-line drive circuit 403 in analog
10 intensity-level assigning or 1-bit digital intensity-level assigning. The signal-line drive circuit 403 includes a shift register 418 and a latch circuit 419.

A brief description of the operation will be given. The shift register 418 is configured using a plurality of columns of flip-flop circuits (FFs), to which a clock signal (S-CLK), a start pulse (S-SP), and a clock inversion signal (S-CLKb) are inputted.
15 Sampling pulses are outputted in sequence in accordance with the timing of such signals.

The sampling pulses outputted from the shift register 418 are inputted to the latch circuit 419. To the latch circuit 419, a video signal (an analog video signal or a digital video signal) are inputted, which are held in each column in accordance with the timing of inputting the sampling pulses.

20 A constant current source 109 for a video signal is connected to a video line. A signal current (corresponding to the video signal) set in the video-signal constant current source 109 is held in the latch circuit 419.

A latch pulse is inputted to the latch circuit 419, and the video signal held in the latch circuit 419 is inputted to pixels connected to the signal line. The latch circuit 419
25 is sometimes responsible for converting a digital signal to an analog signal.

Next, the configuration of the latch circuit 419 will be described with reference to Fig. 4. Fig. 4 shows the outline of the signal-line drive circuit 403 around the *i*th to

(i+2)th three signal lines.

The latch circuit 419 includes a switch 435, a switch 436, a current source circuit 437, a current source circuit 438, and a switch 439 for each column. The switch 435 is controlled by the sampling pulse inputted from the shift register 418. The switch 436 and the switch 439 are controlled by the latch pulses.

To the switch 436 and the switch 439, inverted signals from each other are inputted. As a result, one of the current source circuit 437 and the current source circuit 438 performs setting operation and the other performs inputting operation.

In other words, when the current source circuit 437 performs setting operation, the current source circuit 438 outputs a signal current to pixels, thus performing inputting operation at the same time. In this manner, the setting operation and the inputting operation of the current source s can be performed at the same time, allowing the setting operation to be accurately performed over a long period of time.

This allows line-sequential driving.

The signal current supplied from the video line (video data line) has a magnitude depending on the video signal. Thus, the amount of current supplied to the pixels is proportional to the signal current, allowing the provision of an image (a tone image).

The current source circuit 437 and the current source circuit 438 are controlled by the signal inputted through the terminal a. The current source circuit 437 and the current source circuit 438 also hold a current (signal current I_{data}) set using the video-signal constant current source 109 connected to the video line (current line) via the terminal b. The switch 439 is arranged between the current source circuit 437 and the current source circuit 438 and the pixels connected to the signal line, wherein the On/OFF of the switch 439 is controlled by the latch pulse.

For performing 1-bit digital intensity-level assigning, when the video signal is a light signal, the signal current I_{data} is outputted from the current source circuit 437 or the current source circuit 438 to the pixels. On the other hand, when the video signal is

a dark signal, the current source circuit 437 or the current source circuit 438 has no ability of feeding current, thus feeding no current to the pixels. For performing analog intensity-level assigning, a signal current I_{data} is outputted from a current source circuit 433 to the pixels in response to the video signal. More specifically, in the current
5 source circuit 437 and the current source circuit 438, the capacity (V_{GS}) of feeding a constant current is controlled by the video signal; thus, the brightness is controlled depending on the magnitude of the current outputted to the pixels.

In the present invention, a setting signal inputted from the terminal a indicates a signal inputted from the output terminal of the logical operator. In other words, the
10 setting signal in Fig. 1 corresponds to a signal inputted from the output terminal of the logical operator. In the present invention, the current source circuit 420 is set in correspondence with the signal inputted from the output terminal of the logical operator.

The sampling pulse from the shift register is inputted to one of the two input terminals of the logical operator and the latch pulse is inputted to the other. The logical
15 operator performs logical operation of the two inputted signal and outputs a signal from the output terminal. In the current source circuits, setting operation or inputting operation is performed in response to the signal inputted from the output terminal of the logical operator.

The current source circuit 437 and the current source circuit 438 may freely
20 employ the configuration of the current source circuits shown in Figs. 6 and 7, Fig. 29, Fig. 28, and Fig. 31. The current source circuits may not employ only one system but a plurality of systems.

In Fig. 4, while the latch circuits are configured for one column from the video-signal constant current source 109, it is not limited to that. As shown in Fig. 33, a
25 plurality of columns may be configured at the same time; in other words, polyphase configuration is possible. While Fig. 33 shows an arrangement of two video-signal constant current source s 109, another video-signal constant current source may be

perform setting operation for the two video-signal constant current source s.

The following are examples of a combination system of the current source circuit 437 and the current source circuit 438 and the advantages thereof.

First, an example of employing a circuit of Fig. 6A for the current source circuit 437 and the current source circuit 438 will be described. Using a current source circuit as in Fig. 6A allows the decrease of the number of transistors to be arranged, thus further reducing the effects of variations in the characteristics of the transistors. In other words, since a transistor for setting operation and a transistor for inputting operation are the identical transistor, they are not affected by the variations between the transistors at all. However, since the current in setting operation cannot be increased, setting operation cannot be performed more quickly. The current in setting operation corresponds to the current supplied to the latch circuit from the video-signal constant current source 109.

The circuit diagram in this case is shown in Fig. 34.

In Fig. 34, a current flows from the pixels toward the current source circuit through a signal line. However, the direction of the current varies depending on the pixel configuration. Therefore, Fig. 35 shows a circuit diagram when a current flows from the circuit source circuit toward the pixels.

In this manner, a circuit in the case where the direction of the current is different can be configured by changing the polarities of the transistors. Alternatively, by using a circuit of Fig. 7A in place of Fig. 6A, a circuit in the case where the direction of the current is different can also be configured without changing the polarities of the transistors.

Next, a case where a current mirror circuit as shown in Fig. 6C is employed as the current source circuit 437 and the current source circuit 438 will be described with reference to Fig. 36.

In the two transistors of the current mirror circuit as in Fig. 6C, when the value

of W (gate width)/ L (gate length) of the transistor connected to the pixels is made lower than that of the transistor connected to the video-signal constant current source 109, the current value supplied from the video-signal constant current source 109 can be made high.

5 In other words, the value W/L of the transistor for setting operation is set higher than the value W/L of the transistor for inputting operation. Then, the current for setting operation, that is, the current flowing from the video-signal constant current source 109 to the latch circuit can be made high. High current allows electrical charge to quickly be carried to a wiring cross capacitance accompanying wirings, thereby
10 entering a steady state quickly. Thus, setting operation can be performed more quickly.

 The current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto. When the two transistors vary in characteristics, the currents outputted from the source terminals or drain terminals of the transistors also vary. However, if the two transistors have identical
15 characteristics, the currents outputted therefrom do not vary. Conversely, the characteristics of the two transistors need to be identical in order not to vary the outputted currents. In other words, in the current mirror circuit as in Fig. 6C, it is sufficient for the two transistors having a gate electrode in common or electrically connected thereto to have identical characteristics. There is no need for transistors
20 having no common gate electrode to have the identical characteristics. This is because setting operation is performed for each current source circuit. In other words, it is sufficient for the transistor for the setting operation and the transistor used for inputting operation to have the identical characteristics. Even when the transistors having no common gate electrode have not identical characteristics, setting operation is performed
25 for each current source circuit; therefore, variations in characteristics are corrected.

 In general, in the current mirror circuit as in Fig. 6C, the two transistors having a gate electrode in common or electrically connected thereto are arranged in close

proximity to each other in order to reduce the variations in the characteristics of the two transistors.

Referring to Fig. 36, let the magnitude of current applied to the pixels be P . In the two transistors of the current mirror circuit as in Fig. 6C in the current source circuits (the current source circuits 437 and 438), if the value W/L of the transistor connected to the pixels is W_a , the value W/L of the transistor connected to the video signal line is set to $(2 \times W_a)$. Then, the current value becomes twice in the current source circuits (the current source circuits 437 and 438). Then, the video-signal constant current source 109 supplies a current of $(2 \times P)$. Consequently, since the current supplied from the video-signal constant current source 109 can be made high, the setting operation for the current source circuits (the current source circuits 437 and 438) can be performed quickly and accurately.

In summary, by employing the current mirror circuit as in Fig. 6C for a current source circuit and setting the value W/L to an appropriate value, the current supplied from the video-signal constant current source 109 can be made high. As a result, the setting operation for the current source circuit can be performed accurately.

In other words, high current allows electrical charge to be carried quickly to a wiring cross capacitance parasitic on wirings, thereby entering a steady state. In the steady state, setting operation can be performed sufficiently. In performing the setting operation in a certain period of time, high current allows the circuit to enter a steady state quickly; thus, the setting operation can be performed sufficiently. If current is low, the duration of setting operation is completed before entering the steady state. In such a case, for lack of sufficient time, accurate setting operation cannot be performed. Therefore, high current allows quick and accurate setting operation for the current source circuit.

However, the current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto, wherein the

variations in the characteristics of the two transistors cause the variations of the current outputted therefrom.

However, the magnitude of the current can be varied by setting the ratio W/L of the channel width W and the channel length L of the transistor to different values between the two transistors. Generally, the current in setting operation is set high, thus allowing quick setting operation.

The current in setting operation corresponds to the current supplied from the video-signal constant current source 109.

On the other hand, when the circuit as in Fig. 6A is used, the current flowing in setting operation and the current flowing in inputting operation are substantially equal. Therefore, the current for setting operation cannot be set high. However, the transistor for supplying current in setting operation and the transistor for supplying current in inputting operation are the identical. Therefore, they are not affected by the variations between the transistors at all. Accordingly, it is preferable to use an appropriate combination in the latch circuit, such as to use the current mirror circuit as in Fig. 6C for part where high current is desired in setting operation and to use the circuit as in Fig. 6A for part where more accurate current is desired to output.

Fig. 48 shows a circuit diagram when the current mirror circuit as in Fig. 6C is used in a low-order-bit (first-bit) current source circuit and the circuit as in Fig. 6A is used in a high-order-bit (second-bit) current source circuit.

Transistors operated only as switches may have either polarity.

Fig. 4 showed a case in which the circuit of Fig. 2 was applied to the circuit of Fig. 3A. Subsequently, a case in which the circuit of Fig. 1 is applied to the circuit of Fig. 3A will be described with reference to Fig. 37.

Referring to Fig. 37A, a video signal (signal current) supplied over a video line is supplied to a current source circuit. The setting operation for the current source circuit is performed in accordance with the timing of a sampling pulse supplied from

the shift register 418. For example, with the configuration of Fig. 37A, the inputting operation (current output to pixels) is started after the setting operation of the current source circuit, thus allowing point sequential drive to be performed by sequentially setting the current source circuit on a column-by-column basis and then performing
5 inputting operation.

Fig. 37A shows a case of analog intensity-level assigning or a 1-bit digital intensity level; and Fig. 38 shows a case of 2-bit digital intensity level.

Fig. 39 shows a circuit when the circuit of Fig. 38 employs the circuit of Fig. 6A. Fig. 40 shows a circuit when the circuit of Fig. 38 employs the circuit of Fig. 6C.
10 Furthermore, Fig. 41 shows a circuit when a 1-bit current source circuit employs the circuit of Fig. 6C, and a 2-bit current source circuit employs the circuit of Fig. 6A. In the circuit of Fig. 41, the magnitude of the video signal current is increased by changing the value W/L of the 1-bit current source circuit. Consequently, the setting operation can be performed in substantially the same period of time as that of the 2-bit current
15 source circuit.

However, in sequential selection from the first to last column, it takes a long period of time to input signals to pixels in columns closer to the first. On the other hand, in columns closer to the last, pixels in the next row are selected immediately after the video signal has been inputted, resulting in a decreased period of time for inputting
20 signals to pixels. In such a case, as shown in Fig. 37B, scanning-lines disposed in the pixel section 402 are divided at the center to increase the duration of inputting signals to the pixels. In that case, a scanning-line drive circuit is arranged on each of the left and right of the pixel section 402, wherein the pixels are driven using the scanning-line drive circuit. With such an arrangement, even for the pixels arranged in the same row,
25 the duration of inputting signals can be changed between the right pixels and the left pixels. Fig. 37C shows output waveforms of the right and left scanning-line drive circuits in the first and second rows and a start pulse (S-SP) of the shift register 411.

Since the duration of inputting signals to even the left pixels can be increased by the operation as the waveform in Fig. 37C, thus facilitating point sequential driving.

In the signal-line drive circuit of the present invention, the layout diagram of the current source circuit arranged in a latch is illustrated in Fig. 49; and a circuit diagram
5 corresponding thereto is shown in Fig. 50.

This embodiment can freely be combined with the first to third embodiments.

[Fifth Embodiment]

In this embodiment, a detailed configuration and the operation of the signal-line drive circuit 403 shown in Fig. 15A will be described. In this embodiment, the signal-
10 line drive circuit 403 used for performing 2-bit digital intensity-levels assigning will be described with reference to Fig. 3B, Fig. 5, and Fig. 26.

Fig. 3B is a schematic diagram of the signal-line drive circuit 403 in performing 2-bit digital intensity-level assigning. The signal-line drive circuit 403 includes the shift register 418 and the latch circuit 419.

15 A brief description of the operation will be given. The shift register 418 is configured using a plurality of columns of flip-flop circuits (FFs), to which a clock signal (S-CLK), a start pulse (S-SP), and a clock inversion signal (S-CLKb) are inputted. Sampling pulses are outputted in sequence in accordance with the timing of such signals.

The sampling pulses outputted from the shift register 418 are inputted to the
20 latch circuit 419. To the latch circuit 419, a 2-bit digital video signal (digital data 1 and digital data 2) is inputted, which is held in each column in accordance with the timing of inputting the sampling pulses.

A 1-bit digital video signal is inputted over a current line connected to the 1-bit video-signal constant current source 109. The 2-bit digital video signal is inputted over
25 a current line connected to the 2-bit video-signal constant current source 109. The signal current (corresponding to the video signal) set in the 1-bit and 2-bit video-signal constant current source s 109 is held in the latch circuit 419.

A latch pulse is inputted to the latch circuit 419, and the 2-bit digital video signal (digital data 1 and digital data 2) held in the latch circuit 419 is inputted to pixels connected to the signal line. The latch circuit 419 is sometimes responsible for converting the digital signal to an analog signal.

5 Next, the configuration of the latch circuit 419 will be described with reference to Fig. 5. Fig. 5 shows the outline of the signal-line drive circuit 403 for performing 2-bit digital intensity-level assigning around the i th to $(i+1)$ th two signal lines. Similarly, Fig. 26 shows the outline of a signal-line drive circuit for performing 2-bit digital intensity-level assigning around the i th to $(i+1)$ th two signal lines.

10 Fig. 5 shows a case in which the video-signal constant current source s 109 corresponding to the respective bits are arranged.

Referring to Fig. 5, the latch circuit 419 includes a switch 435a, a switch 436a, a current source circuit 437a, a current source circuit 438a, and a switch 439a for each column, and also includes a switch 435b, a switch 436b, a current source circuit 437b,
15 a current source circuit 438b, and a switch 439b for each column.

The switch 435a and the switch 435b are controlled by the sampling pulses inputted from the shift register 418. The switch 436a, the switch 439a, the switch 436b, and the switch 439b are controlled by the latch pulses.

To the switch 436a and the switch 439a, inverted signals from each other are
20 inputted. As a result, one of the current source circuit 437a and the current source circuit 438a performs setting operation and the other performs inputting operation. To the switch 436b and the switch 439b, inverted signals from each other are inputted. As a result, one of the current source circuit 437b and the current source circuit 438b performs setting operation and the other performs inputting operation.

25 In other words, when the current source circuit 437 performs setting operation, the current source circuit 438 outputs a signal current to pixels at the same time, thus performing inputting operation. In this manner, since the setting operation and the

inputting operation of the current source circuits can be performed at the same time, setting operation can accurately be performed over a long period of time.

The signal current supplied from the video line (video data line) has a magnitude depending on the video signal. Thus, the magnitude of current supplied to the pixels is proportional to the signal current, allowing the provision of an image.

This allows line-sequential driving.

Referring to Fig. 5, the current lines and the video-signal constant current source s are arranged in correspondence with the respective bits. The total amount of the current values supplied from the current source s of respective bits is supplied to the signal lines. In brief, the current constant source circuits have the function of digital-analog conversion.

Each of the current source circuits (the current source circuits 437a, 438a, 437b, and 438b) has a terminal a, a terminal b, and a terminal c. Each of the current source circuits (the current source circuits 437a, 438a, 437b, and 438b) is controlled by a signal constant inputted through the terminal a, and holds a current (signal current I_{data}) that is set using the video-signal current source 109 connected to the video line via the terminal b. The current set in the 1-bit constant current source 109 is held in the current source circuit 437a and the current source circuit 438a. The current set in the 2-bit constant current source 109 is held in the current source circuit 437b and the current source circuit 438b. The switch 439a and the switch 439b are arranged between each current source circuit (current source circuits 437a, 438a, 437b, and 438b) and the pixels connected to the signal lines, wherein the On/OFF of the switch 439a and the switch 439b are controlled by the latch pulse.

When the video signal is a light signal, a signal current is outputted from each current source circuit (current source circuits 437a, 438a, 437b, and 438b) to the pixels. On the other hand, when the video signal is a dark signal, the current source circuits (current source circuits 437a, 438a, 437b, and 438b) have no ability of feeding current,

thus feeding no current to the pixels. More specifically, in the current source circuits (current source circuits 437a, 438a, 437b, and 438b), the ability (V_{GS}) of feeding a constant current is controlled by the video signal; thus, the brightness is controlled depending on the magnitude of the current outputted to the pixels.

5 The total amount of the current from either of the 1-bit current source circuit 437a and current source circuit 438a and either of the 2-bit current source circuit 437b and current source circuit 438b is carried to the pixels and in the signal lines connected to the pixels.

10 Which of the 1-bit current source circuit 437a and current source circuit 438a performs setting operation and which performs inputting operation (output of current to the pixels) are controlled by the latch pulse. The same applies to the 2-bit current source circuit 437b and current source circuit 438b.

15 In other words, the currents of the video signals of the respective bits are combined for DA conversion in the position where the currents flow from the current source circuit 437a and the current source circuit 437b toward the pixels. Therefore, the magnitude of the current has only to correspond to the respective bits.

20 Next, the outline of the signal-line drive circuit shown in Fig. 26 will be described. Referring to Fig. 26, the latch circuit includes a switch 435c, a switch 435d, a switch 436c, a current source circuit 437c, a current source circuit 438c, and a switch 439c for each column. The switch 435c and the switch 435d are controlled by the sampling pulses inputted from the shift register 418. The switch 436c and the switch 439c are controlled by the latch pulses.

25 To the switch 436c and the switch 439c, inverted signals from each other are inputted. As a result, one of the current source circuit 437c and the current source circuit 438c performs setting operation and the other performs inputting operation. One of the current source circuit 437c and the current source circuit 438c performs setting operation and the other performs inputting operation.

In other words, when the current source circuit 437a performs setting operation, the current source circuit 438a outputs a signal current to pixels at the same time, thus performing inputting operation. In this manner, since the setting operation and the inputting operation of the current source circuits can be performed at the same time, setting operation can accurately be performed over a long period of time.

In other words, the setting operation must be continued until a steady state in order to perform the setting operation accurately. Upon the steady state, no current flows to the gate electrode of a transistor (a transistor for supplying a constant current, corresponding to a transistor 102 in Fig. 6A) in the current source circuit, causing no change of the potential of a capacitance (corresponding to a capacitance device 103 in Fig. 6A) that holds the gate-to-source voltage of the transistor. It follows from such a state that setting operation is completed sufficiently. In short, a proper magnitude of current can be fed in inputting operation. However, setting operation of short duration may cause the setting operation to be completed before the steady state. In such a case, the capacitance that holds the gate-to-source voltage of the transistor is not at a correct potential. Therefore, a proper magnitude of current cannot be fed in inputting operation; thus, the circuit is affected by the variations in the characteristics of the transistors. Accordingly, setting operation of long duration allows accurate setting operation.

Each of the current source circuits 437c and 438c has a terminal a, a terminal b, and a terminal c. Each of the current source circuits 437c and 438c is controlled by a signal inputted through the terminal a, and holds a current (signal current I_{data}) that is set using the video-signal constant current source 109 connected to the video line via the terminal b. The current set in the 1-bit and 2-bit constant current source s 109 is held in the current source circuit 437a or the current source circuit 438a. The switch 439c is arranged between the current source circuits 437a and 438a and the pixels connected to the signal lines, wherein the ON/OFF of the switch 439c is controlled by the latch pulse.

When the digital video signal is a light signal, signal current is outputted from the current source circuits 437c and 438c to the pixels. On the other hand, when the video signal is a dark signal, the current source circuits 437c and 438c have no ability of feeding current, thus feeding no current to the pixels. In brief, in the current source
5 circuits 437c and 438c, the ability (V_{GS}) of feeding a constant current is controlled by the video signal; thus, the brightness is controlled by the magnitude of the current outputted to the pixels.

In the present invention, the setting signal inputted from the terminal a indicates a signal inputted from the output terminal of a logical operator. In other words, the
10 setting signal in Fig. 1 corresponds to a signal inputted from the output terminal of the logical operator. In the present invention, the current source circuit 420 is set in accordance with the signal inputted from the output terminal of the logical operator.

The sampling pulse from the shift register is inputted to one of the two input terminals of the logical operator and the latch pulse is inputted to the other. The logical
15 operator performs logical operation of the two inputted signals and outputs a signal from the output terminal. In the current source circuits, setting operation or inputting operation is performed in accordance with the signal inputted from the output terminal of the logical operator.

The following is an example of employing a circuit of Fig. 6A as each current
20 source circuit shown in Fig. 5 and each current source circuit shown in Fig. 26. Using the current source circuit as in Fig. 6A decreases the number of transistors to be arranged, thus further reducing the effects of variations in the characteristics of the transistors. In other words, since a transistor for setting operation and a transistor for inputting operation are the identical transistor, they are not affected by the variations
25 between the transistors at all. However, since the current in performing setting operation cannot be set high, setting operation cannot be performed more quickly. The current in setting operation corresponds to the current supplied to the latch circuit from

the video-signal constant current source 109.

A circuit diagram in this case is shown in Fig. 42.

Subsequently, a case where a current mirror circuit as shown in Fig. 6C is employed as each current source circuit shown in Fig. 5 and each current source
5 circuit shown in Fig. 26 will be described with reference to Fig. 43.

In the two transistors of the current mirror circuit as in Fig. 6C, when the value of W (gate width)/ L (gate length) of the transistor connected to the pixels is smaller than that of the transistor connected to the video-signal constant current source 109, the current value supplied from the video-signal constant current source 109 can be made
10 high.

In other words, the value W/L of the transistor for setting operation is set higher than the value W/L of the transistor for inputting operation. Then, the current for setting operation, that is, the current flowing from the video-signal constant current source 109 to the latch circuit can be increased. High current allows electrical charge
15 to be carried quickly to a wiring cross capacitance accompanying wirings, thereby entering a steady state quickly. Thus, setting operation can be performed more quickly.

The current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto. When the two transistors have identical characteristics, the currents outputted from the source terminals or drain
20 terminals of the transistors do not vary. In brief, the two transistors need to be identical in order not to vary the outputted currents. In other words, it is sufficient for the two transistors having a gate electrode in common or electrically connected thereto to have identical characteristics in the current mirror circuit as in Fig. 6C. Transistors having no common gate electrode do not need to have the identical characteristic. This is
25 because setting operation is performed for each current source circuit. In other words, it is sufficient for the transistor for the setting operation and the transistor used for inputting operation to have the identical characteristics. There is no need for transistors

having no common gate electrode to have the identical characteristics. Even when the transistors having no common gate electrode have not identical characteristics, setting operation is performed for each current source circuit; therefore, variations in characteristics are corrected.

5 In general, in the current mirror circuit as in Fig. 6C, two transistors having a gate electrode in common or electrically connected thereto are arranged in close proximity to each other in order to reduce the variations in the characteristics thereof.

Let the magnitude of current applied to the pixels be P . In the two transistors of the current mirror circuit in the current source circuits, if the value W/L of the transistor connected to the pixels is denoted by W_a , the value W/L of the transistor connected to the video signal line is set to $(2 \times W_a)$. Then, the current value becomes twice in each current source circuit. Then, the video-signal constant current source s_{109} (for 1-bit and 2-bit) supply a current of $(2 \times P)$ or $(4 \times P)$. Consequently, the current supplied from the video-signal constant current source s_{109} can be increased, thus allowing the setting operation of each current source circuit to be performed quickly and accurately.

Since this embodiment performs 2-bit digital intensity-level assigning, it is provided with four current source circuits (437a, 438a, 437b, and 438b) for each signal line in Fig. 5, and two current source circuits (437c and 438c) for each signal line in Fig. 26.

The current source circuits (current source circuits 437a, 438a, 437b, and 438b) in Fig. 5 and the current source circuits (current source circuits 437c and 438c) shown in Fig. 26 can freely employ the circuit configurations of the current source circuits shown in Figs. 6 and 7, Fig. 29, Fig. 28, and Fig. 31. The current source circuits 420 may adopt not only one system but also a plurality of systems.

When the current source circuit held in the latch circuit is a current mirror circuit as in Fig. 6C, the value W (gate width)/ L (gate length) of the transistor may be

varied for each bit. This allows the current in setting operation for a low-order-bit current source circuit, that is, the current flowing from the low-order-bit video-signal constant current source 109 can be made high, leading to a quick setting operation.

In a word, the value W/L of the transistor connected to the video-signal constant
5 current source 109 is set higher than the W/L of the transistor connected to the pixels and signal lines. In short, the value W/L of the transistor for setting operation is set larger than the value W/L of the transistor for inputting operation. This further increases the current for setting operation, that is, the current flowing from the video-signal constant current source 109.

10 However, the current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto. When the two transistors vary in characteristics, the currents outputted therefrom also vary. However, the magnitude of the currents can be varied by setting the ratio W/L of the channel width W and the channel length L of the transistor to different values for the two
15 transistors. Generally, the current in setting operation is set high, thus allowing quick setting operation.

The current in setting operation corresponds to the current supplied from the video-signal constant current source 109.

On the other hand, when the circuit as in Fig. 6A is used, the current flowing in
20 setting operation and the current flowing in inputting operation are substantially equal. Therefore, the current for setting operation cannot be set high. However, the transistor for supplying current in setting operation and the transistor for supplying current in inputting operation are the identical. Therefore, they are not affected by the variations between the transistors at all. Accordingly, it is preferable to use an appropriate
25 combination in the latch circuit, such as to use the current mirror circuit as in Fig. 6C for part where high current is desired in setting operation and to use the circuit as in Fig. 6A for part where more accurate current is desired to output.

The current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto. When the two transistors vary in characteristics, the currents outputted therefrom also vary. However, if the two transistors have identical characteristics, the currents outputted from the source terminals or drain terminals of the transistors do not vary. Conversely, the characteristics of the two transistors need to be identical in order not to vary the outputted currents. In other words, in the current mirror circuit as in Fig. 6C, it is sufficient for the two transistors having a gate electrode in common or electrically connected thereto to have identical characteristics. Transistors having no common gate electrode do not need to have the identical characteristic. This is because setting operation is performed for each current source circuit. In other words, it is sufficient for the transistor for the setting operation and the transistor used for inputting operation to have the identical characteristics. Even when the transistors having no common gate electrode have not identical characteristics, setting operation is performed for each current source circuit; therefore, variations in characteristics are corrected.

In general, in the current mirror circuit as in Fig. 6C, two transistors having a gate electrode in common or electrically connected thereto are arranged in close proximity to each other in order to reduce the variations in the characteristics of the two transistors.

The current source circuit held in the latch circuit may employ the circuit as in Fig. 6A or the current mirror circuit as in Fig. 6C, or alternatively, may employ a combination thereof.

The current mirror circuit as in Fig. 6C may be adopted in either a current source circuit for all bits or a current source circuit for part of bits. More effectively, it is preferable to use the current mirror circuit as in Fig. 6C for the low-order-bit current source circuit and to use the circuit as in Fig. 6A for the high-order-bit current source circuit.

This is because the high-order-bit current source circuit affects the current value significantly even if the characteristics of the transistors in the current source circuit vary slightly; this is because the absolute value of the difference in current due to the variations is large even with the same degree of variations in the characteristics of the transistors since the current supplied from the high-order-bit current source circuit is high in itself. Assuming that the characteristics of the transistors vary by ten percent, the amount of variations is $0.1I$ where the magnitude of the first-bit current is I . On the other hand, since the magnitude of the third-bit current amounts to $8I$, the amount of the variations is $0.8I$. As just described, even a slight variation in the characteristics of the transistors significantly affects the high-order-bit current source circuit.

Therefore, a system that is affected by the variations as little as possible is preferable. The high-order-bit current has a high current value, facilitating setting operation. On the other hand, the low-order-bit current exhibits a low value of current itself despite of some variations, having slight influence. Also, since the low-order-bit current exhibits a low value of current, setting operation is not easy.

In order to resolve the above situations, it is preferable to use the current mirror circuit as in Fig. 6C for the low-order-bit current source circuit and to use the circuit as in Fig. 6A for the high-order-bit current source circuit.

Particularly, for the low-order-bit current source circuit in which the current flowing from the video-signal constant current source 109 is low, it is effective to use the current mirror circuit as in Fig. 6C to increase the value of current.

More specifically, the low-order-bit current source circuit exhibits a low value of current flowing therefrom, thus taking much time for setting operation. Therefore, increasing the current value using the current mirror circuit as in Fig. 6C decreases the time for setting operation.

The current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto. When the two transistors

vary in characteristics, the currents outputted therefrom also vary. However, the low-order-bit current source circuit exhibits a low value of current outputted to the pixels and the signal lines. Therefore, variations in the characteristics of the two transistors have little effects. Therefore, it is effective for the low-order-bit current source circuit
5 to use the current mirror circuit as in Fig. 6C.

In summary, by employing the current mirror circuit as in Fig. 6C as a current source circuit and setting the value W/L to an appropriate value, the current to be supplied from the video-signal constant current source 109 can be made high. This allows the setting operation of the current source circuit to be performed accurately.

10 However, the current mirror circuit as in Fig. 6C includes at least two transistors having a gate electrode in common or electrically connected thereto. If the two transistors vary in characteristics, the currents outputted therefrom also vary.

On the other hand, when the circuit as in Fig. 6A is used, the current flowing in setting operation cannot be increased; however, which is not at all affected by the
15 variations between the transistors.

Accordingly, it is preferable to use a combination of circuits appropriately, as to use the current mirror circuit as in Fig. 6C for part where high current is desired and to use the circuit as in Fig. 6A for part where more accurate current is desired to output.

The transistor to be operated as merely a switch may have either polarity.

20 Referring to Fig. 5, the 1-bit video-signal constant current source 109 is connected to a 1-bit video line (video data line) and the 2-bit video-signal constant current source 109 is connected to a 2-bit video line (video data line). Assuming that current supplied from the 1-bit video-signal constant current source 109 is I , current supplied from the 2-bit video-signal constant current source 109 is $2I$. However, the
25 present invention is not limited to that but the magnitude of the currents supplied from the 1-bit video-signal constant current source 109 and the 2-bit video-signal constant current source 109 can be equated. Equating the magnitude of the currents supplied

from the 1-bit video-signal constant current source 109 and the 2-bit video-signal constant current source 109 allows the operating conditions and the load to be equated and also the time for writing signals to the current source circuits to be the same.

However, at that time, the current source circuits shown in Fig. 5 and Fig. 26 need to employ the current mirror circuit as in Fig. 6C. In the current source circuits shown in Fig. 5, it is necessary to set the values W/L of the transistors held in the current source circuit 437a and the current source circuit 438a and the transistors held in the current source circuit 437b and the current source circuit 438b to 2:1. Thus, the ratio of the magnitude of the current outputted from the current source circuit 437a and the current source circuit 438a and the magnitude of the current outputted from the current source circuit 437b and the current source circuit 438b can be set to 2:1. In the current source circuits shown in Fig. 26, the value W/L of the transistors connected to the video signal lines and the transistors connected to the pixels must be 2:1.

In this embodiment, the configuration and the operation of the signal-line drive circuit for performing 2-bit digital intensity-level assigning are described. However, according to the present invention, a signal-line drive circuit ready for not only the 2-bit but for any-bit can be designed on the basis of this embodiment to perform arbitrary bit assigning. This embodiment can freely be combined with the first to fourth embodiments.

[Sixth Embodiment]

The video-signal constant current source 109 shown in Fig. 2 to Fig. 5 may be integrated with the signal-line drive circuit on the substrate, or alternatively, may be arranged outside the substrate, from which a certain current is inputted using an IC and so on. For integral formation on the substrate, either of the current source circuits shown in Figs. 6 to 8, Fig. 29, Fig. 28, and Fig. 31 may be used. Alternatively, only one transistor may be arranged to control the current value depending on the voltage to be applied to the gate. In this embodiment, a case in which a 3-bit video-signal constant

current source 109 is configured with the current source circuit of the current mirror circuit as in Fig. 6C will be described with reference to Fig. 23 to Fig. 25.

The direction in which the current flows varies depending on the configuration of pixels. Changing the direction of the flow of current can easily be prepared by
5 changing the polarity of the transistor.

Referring to Fig. 23, the video-signal constant current source 109 controls whether to output a predetermined signal current I_{data} to a video line (a video data line and a current line) in accordance with the information on High/Low held in the 3-bit digital video signals (digital data 1 to digital data 3)

10 The video-signal constant current source 109 includes a switch 180 to a switch 182, a transistor 183 to a transistor 188, and a capacitance device 189. In this embodiment, all the transistor 180 to the transistor 188 are of n-channel type.

The switch 180 is controlled by a 1-bit digital video signal. The switch 181 is controlled by a 2-bit digital video signal. The switch 183 is controlled by a 3-bit digital
15 video signal.

One of the source area and the drain area of the transistor 183 to the transistor 185 is connected to Vss and the other is connected to one of the terminals of the switch 180 to the switch 182. One of the source area and the drain area of the transistor 186 is connected to Vss and the other is connected to one of the source area and the source
20 area of the transistor 188.

A signal is inputted from the exterior to the respective gate electrodes of the transistor 187 and the transistor 188 via a terminal e. To a current line 190, current is supplied from the exterior via a terminal f.

One of the source area and the drain area of the transistor 187 is connected to
25 one of the source area and the drain area of the transistor 186 and the other is connected to one electrode of the capacitance device 189. One of the source area and the drain area of the transistor 188 is connected to the current line 190 and the other is connected

to one of the source area and the drain area of the transistor 186.

One electrode of the capacitance device 189 is connected to the gate electrodes of the transistor 183 to the transistor 186 and the other electrode is connected to Vss. The capacitance device 189 is responsible for holding the gate-to-source voltage of the
5 transistor 183 to the transistor 186.

In the video-signal constant current source 109, when the transistor 187 and the transistor 188 are turned on by the signal inputted from the terminal e, the current supplied from the terminal f is carried to the capacitance device 189 over the current line 190.

10 Electrical charge is gradually stored in the capacitance device 189 to begin generating a potential difference between both electrodes. When the potential difference between both electrodes reaches V_{th} , the transistor 183 to the transistor 186 are turned on.

In the capacitance device 189, the storage of electrical charge is continued until
15 the potential difference between both electrodes, that is, the gate-to-source voltage of the transistor 183 to the transistor 186 reaches a desired voltage. In other words, the storage of electrical charge is continued until a voltage at which the transistor 183 to the transistor 186 can feed signal current can be obtained.

After completion of the storage of electrical charge, the transistor 183 to the
20 transistor 186 are fully tuned on.

In the video-signal constant current source 109, continuity or discontinuity of the switch 180 to the switch 182 is selected according to the 3-bit digital signal. For example, when all the switch 180 to the switch 182 come in continuity, a current supplied to the current lines is the total amount of the drain current of the transistor 183,
25 the drain current of the transistor 184, and the drain current of the transistor 185. When only the switch 180 comes in continuity, only the drain current of the transistor 183 is supplied to the current line.

When the ratio of the drain current of the transistor 183, the drain current of the transistor 184, and the drain current of the transistor 185 is set at 1:2:4, the magnitude of the current can be controlled in the level of $2^3 = 8$. Therefore, when the values W (channel width)/L (channel length) of the transistor 183 to the transistor 185 are designed at 1:2:4, the ratio of the respective ON-state currents reaches 1:2:4.

Fig. 23 shows a configuration with one current line (video line). However, the number of current lines (video lines) to be arranged differs depending on whether the circuit as in Fig. 4 or the circuit as in Fig. 26 is used. Fig. 44 shows a diagram when a plurality of current lines (video lines) is used in the circuit of Fig. 23.

Next, the video-signal current source 109 with a different configuration from that of Fig. 23 is shown in Fig. 24. In Fig. 24, when compared to the video-signal current source 109 shown in Fig. 23, the operation is the same as that of the video-signal current source 109 shown in Fig. 23 except that the transistors 187 and 188 are eliminated and one terminal of the capacitance device 189 is connected to the current line 190; therefore, a description thereof will be omitted in this embodiment.

With the configuration of Fig. 24, the signal (current) must continuously be inputted through the terminal f while current is supplied to the video line (current line). If the input of the current flowing from the terminal f is stopped, the electrical charge in the capacitance device 189 is discharged through the transistor 186. Consequently, the potential of the gate electrode of the transistor 186 is decreased to avoid the output of normal current from the transistors 183 to 185. On the other hand, with the configuration of Fig. 23, the capacitance device 189 holds a predetermined electrical charge; therefore, there is no need to input the signal (current) through the terminal f continuously while current is supplied to the video line (current line). Therefore, the capacitance device 189 may be omitted in the configuration of Fig. 24.

Fig. 24 shows a configuration with one current line (video line). However, the number of current lines (video lines) differs depending on whether the circuit as in Fig.

4 or the circuit as in Fig. 26 is used. Thus, Fig. 45 shows a diagram when a plurality of current lines (video lines) is used in the circuit in Fig. 24.

Subsequently, the video-signal current source 109 with a different configuration from those of Figs. 23 and 24 will be shown in Fig. 25. In Fig. 25, as compared to the
5 video-signal current source 109 shown in Fig. 23, the operation is the same as that of the video-signal current source 109 shown in Fig. 23 except that the transistors 186, 187, and 188 and the capacitance device 189 are eliminated, and a constant voltage is applied from the exterior to the gate electrodes of the transistor 183 to the transistor 185 via the terminal f; therefore, a description thereof will be omitted in this embodiment.

10 In the case of Fig. 25, voltage (gate voltage) is applied to the gate electrodes of the transistors 183 to 185 through the terminal f. However, even if the same gate voltage is applied to the transistors 183 to 185, the values of the current flowing between the source and the drain of the transistors 183 to 185 vary with the variations in the characteristics of the transistors 183 to 185. Accordingly, current flowing in the
15 video line (current line) also varies. Also, since the characteristics vary by temperature, the values of currents supplied from the transistors 183 to 185 vary as well.

On the other hand, in the case of Fig. 23 and Fig. 24, current as well as voltage can be applied through the terminal f. When current is applied, the value of current does not vary if the transistors 183 to 186 have the identical characteristics. Even if the
20 characteristics vary by temperature, the characteristics of the transistors 183 to 186 also vary at the same level as that; thus, the current value does not vary.

In Fig. 25, voltage (gate voltage) is applied to the transistors 183 to 185 through the terminal f, which does not vary by the video signal. In Fig. 25, the video signal controls whether current flows in the current line by controlling the switches 180 to 182.
25 Therefore, as in Fig. 46, voltage (gate voltage) is applied to the gate electrodes of the transistors 183 to 185, wherein the voltage may be varied by the video signal. Thus, the magnitude of the video-signal current can be varied. Also, as in Fig. 47, voltage (gate

voltage) applied to the gate electrode of the transistor 183 may be analog voltage, wherein the voltage and thus current may be varied depending on the gray level.

Subsequently, the video-signal current source 109 with a different configuration from those of Figs 23, 24, and 25 is shown in Fig. 9. While, Fig. 23 employed the
5 current source circuit of Fig. 6C, Fig. 9 employs the current source circuit of Fig. 6A.

In the case of Fig. 23, when the characteristics of the transistors 183 to 186 vary, the current values also vary. On the other hand, in Fig. 9, setting operation is performed for each current source, thus reducing the effects of the variations of the transistors. However, in the case of Fig. 9, inputting operation (operation of supplying current to
10 the current line) cannot be performed simultaneously with the setting operation. Accordingly, the setting operation must be performed during the period of time the inputting operation is not performed. In order to allow the setting operation to be performed also during the inputting operation, a plurality of current source circuits may be arranged, as in Fig. 10, so that while one current source circuit performs the setting
15 operation, the other current source circuit can perform the inputting operation.

This embodiment may freely be combined with the first to fifth embodiments.

[Seventh Embodiment]

An embodiment of the present invention will be described with reference to Fig. 11. Referring to Fig. 11A, a signal-line drive circuit is disposed above a pixel section;
20 and a constant current circuit is disposed below, wherein a current source A is disposed in the signal-line drive circuit and a current source B is disposed in the constant current circuit. Equation $I_A = I_B + I_{data}$ is established where currents supplied from the current source s A and B are I_A and I_B , respectively, and signal current supplied to the pixels is I_{data} . Setting is made so that currents are supplied from both current source s A and B
25 when signal current is written into the pixels. At that time, increasing I_A and I_B can increase the writing speed of the signal current to the pixels.

At that time, the setting operation for the current source B is performed using

the current source A. Current that is obtained by subtracting the current of the current source B from the current fed from the current source A flows to the pixels. Therefore, the setting operation for the current source B using the current source A can reduce the effects of noise and so on.

5 Referring to Fig. 11B, video-signal constant current source s (hereinafter, referred to as constant current source s) C and E are arranged above and below the pixel section, respectively. Setting operation for the current source circuits disposed in the signal-line drive circuit and the constant current circuit is performed using the current source s C and E. A current source D serves as a current source for setting the current
10 source s C and E, to which video-signal current is supplied from the exterior.

In Fig. 11B, the constant current circuit arranged below may be a signal-line drive circuit. This allows the video-signal drive circuits to be arranged both above and below, which control the upper and lower half of a screen (the whole pixel section), respectively. With such an arrangement, two columns of pixels can simultaneously be
15 controlled. Therefore, the time for setting operation (signal inputting operation) for the current source s of the signal-line drive circuit, the pixels, and the current source s for the pixels can be increased, thus allowing more accurate setting.

This embodiment can freely be combined with the first to sixth embodiments.

20 Examples

[Example 1]

In this example, the time gradation method will be described in detail with reference to Fig. 14. In display devices such as liquid crystal display devices and light
25 emitting devices, a frame frequency is about 60 (Hz). That is, as shown in Fig. 14A, screen rendering is performed about 60 times per second. This enables flickers (flickering of a screen) not to be recognized by the human eyes. At this time, a period

during which screen rendering is performed once is called one frame period.

As an example, in Example 1, a description will be made of a time gradation method disclosed in the publication as Patent Document 1. In the time gradation method, one frame period is divided into a plurality of subframe periods. In many cases, the number of divisions is identical to the number of gradation bits. For the sake of a simple description, a case where the number of divisions is identical to the number of gradation bits. Specifically, since the 3-bit gradation is employed in this example, an example is shown in which one frame period is divided into three subframe periods SF1 to SF3 (Fig. 14B).

Each of the subframe periods includes an address (writing) period T_a and a sustain (light emission) period (T_s). The address period is a period during which a video signal is written to a pixel, and the length thereof is the same among respective subframe periods. The sustain period is a period during which the light emitting element emits light in response to the video signal written in the address period T_a . At this time, the sustain periods SF1 to SF3 are set at a length ratio of $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$. More specifically, the length ratio of n sustain periods is set to $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$. Depending on whether a light emitting element performs emission in which one of the sustain periods, the length of the period during which each pixel emits light in one frame period is determined, and the gradation representation is thus performed.

Next, a specific operation of a pixel employing the time gradation method will be described. In this example, a description thereof will be made referring to the pixel shown in Fig. 16B. A current input method is applied to the pixel shown in Fig. 16B.

First, the following operation is performed during the address period T_a . A first scanning line 602 and a second scanning line 603 are selected, and TFTs 606 and 607 are turned ON. A current flowing through a signal line 601 at this time is used as a signal current I_{data} . Then, when a predetermined charge has been accumulated in a capacitor device 610, selection of the first and second scanning lines 602 and 603 is

terminated, and the TFTs 606 and 607 are turned OFF.

Subsequently, the following operation is performed in the sustain period T_s . A scanning line 604 is selected, and a TFT 609 is turned ON. Since the predetermined charge that has been written is stored in the capacitor device 610, the TFT 608 is
5 already turned ON, and a current identical with the signal current I_{data} flows thereto from a current line 605. Thus, a light emitting element 611 emits light.

The operations described above are performed in each subframe period, thereby forming one frame period. According to this method, the number of divisions for subframe periods may be increased to increase the number of display gradations. The
10 order of the subframe periods does not necessarily need to be the order from an upper bit to a lower bit as shown in Figs. 14B and 14C, and the subframe periods may be disposed at random within one frame period. In addition, the order may be variable within each frame period.

Further, a subframe period SF2 of an m -th scanning line is shown in Fig. 14D.
15 As shown in Fig. 14D, in the pixel, upon termination of an address period T_{a2} , a sustain period T_{s2} is immediately started.

This example may be arbitrarily combined with Embodiments 1 to 7.

[Example 2]

20 In this example, example structures of pixel circuits provided in the pixel portion will be described with reference to Fig. 13.

Note that a pixel of any structure may be applicable as long as the structure includes a current input portion.

A pixel shown in Fig. 13A includes a signal line 1101, first and second scanning
25 lines 1102 and 1103, a current line (power supply line) 1104, a switching TFT 1105, a holding TFT 1106, a driving TFT 1107, a conversion driving TFT 1108, a capacitor device 1109, and a light emitting element 1110. Each signal line is connected to a

current source circuit 1111.

Note that the current source circuit 1111 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

The gate electrode of the switching TFT 1105 is connected to the first scanning
5 line 1102, a first electrode thereof is connected to the signal line 1101, and a second
electrode thereof is connected to a first electrode of the driving TFT 1107 and a first
electrode of the conversion driving TFT 1108. The gate electrode of the holding TFT
1106 is connected to the second scanning line 1103, a first electrode thereof is
connected to the signal line 1102, and a second electrode thereof is connected to the
10 gate electrode of the driving TFT 1107 and the gate electrode of the conversion driving
TFT 1108. A second electrode of the driving TFT 1107 is connected to the current line
(power supply line) 1104, and a second electrode of the conversion driving TFT 1108 is
connected to one of the electrodes of the light emitting element 1110. The capacitor
device 1109 is connected between the gate electrode of the conversion driving TFT
15 1108 and a second electrode thereof, and retains a gate-source voltage of the conversion
driving TFT 1108. The current line (power supply line) 1104 and the other electrode of
the light emitting element 1110 are respectively input with predetermined potentials and
have mutually different potentials.

The pixel of Fig. 13A corresponds to the case where a circuit of Fig. 29B is
20 applied to a pixel. However, since the current-flow direction is different, the transistor
polarity is reverse. The driving TFT 1107 of Fig. 13A corresponds to a TFT 126 of Fig.
29B, the conversion driving TFT 1108 of Fig. 13A corresponds to a TFT 122 of Fig.
29B, and the holding TFT 1106 of Fig. 13A corresponds to the TFT 124 of Fig. 29B.

A pixel shown in Fig. 13B includes a signal line 1151, first and second scanning
25 lines 1142 and 1143, a current line (power supply line) 1144, a switching TFT 1145, a
holding TFT 1146, a conversion driving TFT 1147, a driving TFT 1148, a capacitor
device 1149, and a light emitting element 1140. The signal line 1151 is connected to a

current source circuit 1141.

Note that the current source circuit 1141 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

The gate electrode of the switching TFT 1145 is connected to the first scanning line 1142, a first electrode thereof is connected to the signal line 1151, and a second electrode thereof is connected to a first electrode of the driving TFT 1148 and a first electrode of the conversion driving TFT 1148. The gate electrode of the holding TFT 1146 is connected to the second scanning line 1143, a first electrode thereof is connected to the first electrode of the drive TFT 1148, and a second electrode thereof is connected to the gate electrode of the driving TFT 1148 and the gate electrode of the conversion driving TFT 1147. A second electrode of the conversion driving TFT 1147 is connected to the current line (power supply line) 1144, and a second electrode of the conversion driving TFT 1147 is connected to one of the electrodes of the light emitting element 1140. The capacitor device 1149 is connected between the gate electrode of the conversion driving TFT 1147 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 1147. The current line (power supply line) 1144 and the other electrode of the light emitting element 1140 are respectively input with predetermined potentials and have mutually different potentials.

Note that the pixel of Fig. 13B corresponds to the case where a circuit of Fig. 6B is applied to a pixel. However, since the current-flow direction is different, the transistor polarity is reverse. The conversion driving TFT 1147 of Fig. 13B corresponds to a TFT 122 of Fig. 6B, the driving TFT 1138 of Fig. 13B corresponds to a TFT 126 of Fig. 6B, and the holding TFT 1136 of Fig. 13B corresponds to the TFT 124 of Fig. 6B.

A pixel shown in Fig. 13C includes a signal line 1121, a first scanning line 1122, a second scanning line 1123, a third scanning line 1135, a current line (power supply line) 1124, a current line 1138, a switching TFT 1125, an erasing TFT 1126, a driving

TFT 1127, a capacitor device 1128, a current-supply TFT 1129, a mirror TFT 1130, a capacitor device 1131, a current-input TFT 1132, a holding TFT 1133, and a light emitting element 1136. Each signal line is connected to a current source circuit 1137.

The gate electrode of the switching TFT 1125 is connected to the first scanning
5 line 1122, a first electrode of the switching TFT 1125 is connected to the signal line 1121, and a second electrode of the switching TFT 1125 is connected to the gate electrode of the driving TFT 1127 and a first electrode of the erasing TFT 1126. The gate electrode of the erasing TFT 1126 is connected to the second scanning line 1123, and a second electrode of the erasing TFT 1126 is connected to the current line (power
10 supply line) 1124. A first electrode of the driving TFT 1127 is connected to one of the electrodes of the light emitting element 1136, and a second electrode of the driving TFT 1127 is connected to a first electrode of the current-supply TFT 1129. A second electrode of the current-supply TFT 1129 is connected to the current line (power supply line) 1124. One of the electrodes of the capacitor device 1131 is connected to the gate
15 electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130 and the other electrode thereof is connected to the current line (power supply line) 1124. A first electrode of the mirror TFT 1130 is connected to the current line 1124, and a second electrode of the mirror TFT 1130 is connected to a first electrode of the current-input TFT 1132. A second electrode of the current-input TFT 1132 is connected to the
20 current line (power supply line) 1124, and the gate electrode of the current-input TFT 1132 is connected to the third scanning line 1135. The gate electrode of the current holding TFT 1133 is connected to the third scanning line 1135, a first electrode of the current holding TFT 1133 is connected to the pixel current line 1138, a second electrode of the current holding TFT 1133 is connected to the gate electrode of the current-supply
25 TFT 1129 and the gate electrode of the mirror TFT 1130. The current line (power supply line) 1124 and the other electrode of light emitting element 1136 are input with predetermined potentials and have mutually different potentials.

This example may be arbitrarily combined with Embodiments 1 to 7 and
Example 1.

[Example 3]

5 In this example, technical devices when performing color display will be described.

 With a light emitting element comprised of an organic EL element, the luminance can be variable depending on the color even though a current having the same magnitude is supplied to the light emitting device. In addition, in the case where
10 the light emitting element has deteriorated because of, for example, a time factor, the deterioration degree is variable depending on the color. Thus, when performing color display with a light emitting device using light emitting elements, various technical devices are required to adjust the white balance.

 The simplest technique is to change the magnitude of the current that is input to
15 the pixel. To achieve the technique, the magnitude of the video-signal current source should be changed depending on the color.

 Another technique is to use circuits as shown in Figs. 6C to 6E for the pixel, signal line drive circuit, video-signal current source, and the like. In the circuits as shown in Figs. 6C to 6E, the W/L ratio of two transistors forming the current mirror
20 circuit is changed depending on the color. Thus, the magnitude of the current to be input to the pixel can be changed depending on the color.

 Still another technique is to change the length of a lightening period. The technique can be applied to either of the case where the time gradation method is employed and the case where the time gradation method is not employed. According to
25 the technique, the luminance of each pixel can be adjusted.

 The white balance can be easily adjusted by using any one of the techniques or a combination thereof.

This example may be arbitrarily combined with Embodiments 1 to 7 and Examples 1 and 2.

[Example 4]

5 In this example, the appearances of the light emitting devices (semiconductor devices) of the present invention will be described using Fig. 12. Fig. 12A is a top view of a light emitting device formed such that an element substrate on which transistors are formed is sealed with a sealing material; Fig. 12B is a cross-sectional view taken along the line A-A' of Fig. 12A; and Fig. 12C is a cross-sectional view taken along the line B-
10 B' of Fig. 12A.

A sealing material 4009 is provided so as to enclose a pixel portion 4002, a source signal line drive circuit 4003, and gate signal line drive circuits 4004a and 4004b that are provided on a substrate 4001. In addition, a sealing material 4008 is provided over the pixel portion 4002, the source signal line drive circuit 4003, and the gate signal
15 line drive circuits 4004a and 4004b. Thus, the pixel portion 4002, the source signal line drive circuit 4003, and the gate signal line drive circuits 4004a and 4004b are sealed by the substrate 4001, the sealing material 4009, and the sealing material 4008 with a filler material 4210.

The pixel portion 4002, the source signal line drive circuit 4003, and the gate
20 signal line drive circuits 4004a and 4004b, which are provided over the substrate 4001, include a plurality of TFTs. Fig. 12B representatively shows a driving TFT (incidentally, an n-channel TFT and a p-channel TFT are shown in this example) 4201 included in the source signal line drive circuit 4003, and an erasing TFT 4202 included in the pixel portion 4002, which are formed on a base film 4010.

25 In this example, a p-channel TFT or an n-channel TFT that is manufactured according to a known method is used for the driving TFT 4201, and an n-channel TFT manufactured according to a known method is used for the erasing TFT 4202.

An interlayer insulating film (leveling film) 4301 is formed on the driving TFT 4201 and the erasing TFT 4202, and a pixel electrode (anode) 4203 for being electrically connected to a drain of the erasing TFT 4202 is formed thereon. A transparent conductive film having a large work function is used for the pixel electrode 4203. For the transparent conductive film, a compound of indium oxide and tin oxide, a compound of indium oxide and zinc oxide, zinc oxide, tin oxide, or indium oxide can be used. Alternatively, the transparent conductive film added with gallium may be used.

An insulating film 4302 is formed on the pixel electrode 4203, and the insulating film 4302 is formed with an opening portion formed on the pixel electrode 4203. In the opening portion, a light emitting layer 4204 is formed on the pixel electrode 4203. The light emitting layer 4204 may be formed using a known light emitting material or inorganic light emitting material. As the light emitting material, either of a low molecular weight (monomer) material and a high molecular weight (polymer) material may be used.

As a forming method of the light emitting layer 4204, a known vapor deposition technique or coating technique may be used. The structure of the light emitting layer 4204 may be either a laminate structure, which is formed by arbitrarily combining a hole injection layer, a hole transportation layer, a light-emitting layer, an electron transportation layer, and an electron injection layer, or a single-layer structure.

Formed on the light emitting layer 4204 is a cathode 4205 formed of a conductive film (representatively, a conductive film containing aluminum, copper, or silver as its main constituent, or a laminate film of the conductive film and another conductive film) having a light shielding property. Moisture and oxygen existing on an interface of the cathode 4205 and the light emitting layer 4204 are desirably eliminated as much as possible. For this reason, a technical device is necessary in which the light emitting layer 4204 is formed in an nitrogen or noble gas atmosphere, and the cathode 4205 is formed without being exposed to oxygen, moisture, and the like. In this

example, the above-described film deposition is enabled using a multi-chamber method (cluster-tool method) film deposition apparatus. In addition, the cathode 4205 is applied with a predetermined voltage.

In the above-described manner, a light emitting element 4303 constituted by the pixel electrode (anode) 4203, the light emitting layer 4204, and the cathode 4205 is formed. A protective film is formed on the insulating film so as to cover the light emitting element 4303. The protective film is effective for preventing, for example, oxygen and moisture, from entering the light emitting element 4303.

Reference numeral 4005a denotes a drawing line that is connected to a power supply line and that is electrically connected to a source region of the erasing TFT 4202. The drawing line 4005a is passed between the sealing material 4009 and the substrate 4001 and is then electrically connected to an FPC line 4301 of an FPC 4006 via an anisotropic conductive film 4300.

As the sealing material 4008, a glass material, a metal material (representatively, a stainless steel material), ceramics material, or a plastic material (including a plastic film) may be used. As the plastic material, an FRP (fiberglass reinforced plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film, or an acrylic resin film may be used. Alternatively, a sheet having a structure in which an aluminum foil is sandwiched by the PVF film or the Mylar film may be used.

However, a cover material needs to be transparent when light emission is directed from the light emitting layer to the cover material. In this case, a transparent substance such as a glass plate, a plastic plate, a polyester film, or an acrylic film, is used.

Further, for the filler material 4210, ultraviolet curing resin or a thermosetting resin may be used in addition to an inactive gas, such as nitrogen or argon; and PVC (polyvinyl chloride), acrylic, polyimide, epoxy resin, silicon resin, PVB (polyvinyl butyral), or EVA (ethylene vinyl acetate) may be used. In this example, nitrogen was

used for the filler material.

To keep the filler material 4210 to be exposed to a hygroscopic substance (preferably, barium oxide) or an oxygen-absorbable substance, a concave portion 4007 is provided on the surface of the sealing material 4008 on the side of the substrate 4001, and a hygroscopic substance or oxygen-absorbable substance 4207 is disposed. The hygroscopic substance or oxygen-absorbable substance 4207 is held in the concave portion 4007 via a concave-portion cover material 4208 such that the hygroscopic substance or oxygen-absorbable substance 4207 does not diffuse. The concave-portion cover material 4208 is in a fine mesh state and is formed to allow air and moisture to pass through and not to allow the hygroscopic substance or oxygen-absorbable substance 4207 to pass through. The provision of the hygroscopic substance or oxygen-absorbable substance 4207 enables the suppression of deterioration of the light emitting element 4303.

As shown in Fig. 12C, simultaneously with the formation of the pixel electrode 4203, a conductive film 4203a is formed so as to be contact with an upper portion of the drawing line 4005a.

In addition, the anisotropic conductive film 4300 includes a conductive filler 4300a. The substrate 4001 and the FPC 4006 are thermally press-bonded, whereby the conductive film 4203a on the substrate 4001 and the FPC line 4301 on the FPC 4006 are electrically connected via the conductive filler 4300a.

This example may be arbitrarily combined with Embodiments 1 to 7 and Examples 1 to 3.

[Example 5]

A light emitting device using a light emitting element is of self-light emitting type, so that in comparison to a liquid crystal display, the light emitting device offers a better visibility in bright portions and a wider view angle. Hence, the light emitting

device can be used in display portions of various electronic device.

Electronic device using the light emitting device of the present invention include, for example, video cameras, digital cameras, goggle type displays (head mount displays), navigation systems, audio reproducing devices (such as car audio and audio components), notebook personal computers, game machines, mobile information terminals (such as mobile computers, mobile telephones, portable game machines, and electronic books), and image reproducing devices provided with a recording medium (specifically, devices for reproducing a recording medium such as a digital versatile disc (DVD), which includes a display capable of displaying images). In particular, in the case of mobile information terminals, since the degree of the view angle is appreciated important, the terminals preferably use the light emitting device. Practical examples thereof are shown in Fig. 22.

Fig. 22A shows a light emitting device, which contains a casing 2001, a support base 2002, a display portion 2003, a speaker portion 2004, a video input terminal 2005, and the like. The light emitting device of the present invention can be applied to the display portion 2003. Further, the light emitting device shown in Fig. 22A is completed with the present invention. Since the light emitting device is of self-light emitting type, it does not need a back light, and therefore a display portion that is thinner than a liquid crystal display can be obtained. Note that light emitting devices include all information display devices, for example, personal computers, television broadcast transmitter-receivers, advertisement displays and the like.

Fig. 22B shows a digital still camera, which contains a main body 2101, a display portion 2102, an image receiving portion 2103, operation keys 2104, an external connection port 2105, a shutter 2106, and the like. The light emitting device of the present invention can be applied to the display portion 2102. Further, the digital still camera shown in Fig. 22B is completed with the present invention.

Fig 22C shows a notebook personal computer, which contains a main body 2201,

a casing 2202, a display portion 2203, a keyboard 2204, external connection ports 2205, a pointing mouse 2206, and the like. The light emitting device of the present invention can be applied to the display portion 2203. Further, the light emitting device shown in Fig. 22C is completed with the present invention.

5 Fig 22D shows a mobile computer, which contains a main body 2301, a display portion 2302, a switch 2303, operation keys 2304, an infrared port 2305, and the like. The light emitting device of the present invention can be applied to the display portion 2303. Further, the mobile computer shown in Fig. 22D is completed with the present invention.

10 Fig 22E shows a portable image reproducing device provided with a recording medium (specifically, a DVD reproducing device), which contains a main body 2401, a casing 2402, a display portion A 2403, a display portion B 2404, a recording medium (such as a DVD) read-in portion 2405, operation keys 2406, a speaker portion 2407, and the like. The display portion A 2403 mainly displays image information, and the
15 display portion B 2404 mainly displays character information. The light emitting device of the present invention can be used in the display portion A 2403 and in the display portion B 2404. Note that family game machines and the like are included in the image reproducing devices provided with a recording medium. Further, the DVD reproducing device shown in Fig. 22E is completed with the present invention.

20 Fig 22F shows a goggle type display (head mounted display), which contains a main body 2501, a display portion 2502, an arm portion 2503, and the like. The light emitting device of the present invention can be used in the display portion 2502. The goggle type display shown in Fig. 22 F is completed with the present invention.

 Fig. 22G shows a video camera, which contains a main body 2601, a display
25 portion 2602, a casing 2603, external connection ports 2604, a remote control reception portion 2605, an image receiving portion 2606, a battery 2607, an audio input portion 2608, operation keys 2609, an eyepiece portion 2610, and the like. The light emitting

device of the present invention can be used in the display portion 2602. The video camera shown in Fig.22 G is completed with the present invention.

Here, Fig. 22H shows a mobile telephone, which contains a main body 2701, a casing 2702, a display portion 2703, an audio input portion 2704, an audio output
5 portion 2705, operation keys 2706, external connection ports 2707, an antenna 2708, and the like. The light emitting device of the present invention can be used in the display portion 2703. Note that, by displaying white characters on a black background, the display portion 2703 can suppress the consumption current of the mobile telephone. Further, the mobile telephone shown in Fig. 22H is completed with the present
10 invention.

When the emission luminance of light emitting materials are increased in the future, the light emitting device will be able to be applied to a front or rear type projector by expanding and projecting light containing image information having been output lenses or the like.

15 Cases are increasing in which the above-described electronic device displays information distributed via electronic communication lines such as the Internet and CATVs (cable TVs). Particularly increased are cases where moving picture information is displayed. Since the response speed of the light emitting material is very high, the light emitting device is preferably used for moving picture display.

20 Since the light emitting device consumes the power in light emitting portions, information is desirably displayed so that the light emitting portions are reduced as much as possible. Thus, in the case where the light emitting device is used for a display portion of a mobile information terminal, particularly, a mobile telephone, an audio playback device, or the like, which primarily displays character information, it is
25 preferable that the character information be formed in the light emitting portions with the non-light emitting portions being used as the background.

As described above, the application range of the present invention is very wide,

so that the invention can be used for electronic device in all of fields. The electronic device according to this example may use the light emitting device with the structure according to any one of Embodiments 1 to 7 and Examples 1 to 4.

The present invention can reduce the effects of characteristic variations of the
5 TFTs, and can offer a signal line drive circuit capable of supplying a desired signal current to the outside.

The present invention provides a light emitting device as described above in which a signal line drive circuit having a current source circuit is provided. Furthermore, the present invention provides a light emitting device capable of reducing the effects of the
10 characteristic variations of TFTs that constitute both pixels and drive circuits and supplying a desired signal current I_{data} to light-emitting elements using the pixels with a circuit configuration in which the effects of the characteristic variations of TFTs are reduced.

15

Claims

1. A signal-line drive circuit comprising first and second current source circuits corresponding to respective plurality of signal lines; a shift register; and n (n is a natural number of one or more) video-signal constant current source s , characterized in that:

each of the first and second current source circuits has a capacitance means and a supply means; wherein

the capacitance means held in one of the first and second source circuits converts a current including a current supplied from each of the n video-signal constant current source s to voltage in accordance with a sampling pulse supplied from the shift register and a latch pulse supplied from the exterior; and the supply means held in the other supplies a current responsive to the converted voltage; and

the values of the currents to be supplied from the n video-signal constant current source s are set at $2^0:2^1:\cdots:2^n$.

15

2. A signal-line drive circuit comprising $(2 \times n)$ current source circuits corresponding to respective plurality of signal lines; a shift register; and n (n is a natural number of one or more) video-signal constant current source s , characterized in that:

the $(2 \times n)$ current source circuits includes a capacitance means for converting a current supplied from either one of the n video-signal constant current source s to voltage in accordance with a sampling pulse supplied from the shift register and a latch pulse supplied from the exterior; and a supply means for supplying a current responsive to the converted voltage;

a current is supplied to each of the plurality of signal lines from the n current source circuits selected from the $(2 \times n)$ current source circuits; and

the values of the currents to be supplied from the n video-signal constant current source s are set at $2^0:2^1:\cdots:2^n$.

3. The signal-line drive circuit according to Claim 1, characterized in that:

when the drain and the gate of a transistor held in the supply means is short-circuited, the capacitance means holds a voltage generated between the gate and the
5 source by the supplied current.

4. The signal-line drive circuit according to Claim 2, characterized in that:

when the drain and the gate of a transistor held in the supply means is short-circuited, the capacitance means holds a voltage generated between the gate and the
10 source by the supplied current.

5. The signal-line drive circuit according to Claim 1, characterized in that:

the supply means comprises a transistor; a first switch for controlling the communication between the gate and the drain of the transistor; a second switch for
15 controlling the communication between the video-signal constant current source and the gate of the transistor; and a third switch for controlling the drain of the transistor and pixels.

6. The signal-line drive circuit according to Claim 2, characterized in that:

the supply means comprises a transistor; a first switch for controlling the communication between the gate and the drain of the transistor; a second switch for
20 controlling the communication between the video-signal constant current source and the gate of the transistor; and a third switch for controlling the drain of the transistor and pixels.

25

7. The signal-line drive circuit according to Claim 1, characterized in that:

when the drains and the gates of both first and second transistors held in the

supply means are short-circuited, the capacitance means holds a voltage generated between the gate and the source of the first or second transistor.

8. The signal-line drive circuit according to Claim 2, characterized in that:

5 when the drains and the gates of both first and second transistors held in the supply means are short-circuited, the capacitance means holds a voltage generated between the gate and the source of the first or second transistor.

9. The signal-line drive circuit according to Claim 1, characterized in that:

10 the supply means comprises a current mirror circuit including first and second transistors; a first switch for controlling the communication between the gates and the source of the first and second transistors; and a second switch for controlling the communication between the video-signal constant current source and the gates of the first and second transistors.

15

10. The signal-line drive circuit according to Claim 2, characterized in that:

the supply means comprises a current mirror circuit including first and second transistors; a first switch for controlling the communication between the gates and the source of the first and second transistors; and a second switch for controlling the communication between the video-signal constant current source and the gates of the first and second transistors.

20

11. The signal-line drive circuit according to Claim 1, characterized in that:

when the drain and the gate of one of first and second transistors held in the supply means are short-circuited, the capacitance means holds a voltage generated between the gate and the source by the supplied current.

25

12. The signal-line drive circuit according to Claim 2, characterized in that:

when the drain and the gate of one of first and second transistors held in the supply means are short-circuited, the capacitance means maintains a voltage generated between the gate and the source by the supplied current.

5

13. The signal-line drive circuit according to Claim 1, characterized in that:

the supply means comprises a current mirror circuit including first and second transistors;

a first switch for controlling the communication between the video-signal
10 constant current source and the drain of the first transistor; and

a second switch for controlling the communication between the drain and the gate of the first transistor, the gate of the first transistor and the gate of the second transistor, the gates of the first and second transistors and either one of the video-signal constant current source s.

15

14. The signal-line drive circuit according to Claim 2, characterized in that:

the supply means comprises a current mirror circuit including first and second transistors;

a first switch for controlling the communication between the video-signal
20 constant current source and the drain of the first transistor; and

a second switch for controlling the communication between the drain and the gate of the first transistor, the gate of the first transistor and the gate of the second transistor, the gates of the first and second transistors and either one of the video-signal constant current source s.

25

15. The signal-line drive circuit according to Claim 9, characterized in that:

the values of the gate width/gate length of the first and second transistors are set

to the same value.

16. The signal-line drive circuit according to Claim 10, characterized in that:
the values of the gate width/gate length of the first and second transistors are set
5 to the same value.

17. The signal-line drive circuit according to Claim 11, characterized in that:
the values of the gate width/gate length of the first and second transistors are set
to the same value.

10

18. The signal-line drive circuit according to Claim 12, characterized in that:
the values of the gate width/gate length of the first and second transistors are set
to the same value.

15

19. The signal-line drive circuit according to Claim 13, characterized in that:
the values of the gate width/gate length of the first and second transistors are set
to the same value.

20. The signal-line drive circuit according to Claim 14, characterized in that:
20 the values of the gate width/gate length of the first and second transistors are set
to the same value.

21. The signal-line drive circuit according to Claim 9, characterized in that:
the value of the gate width/gate length of the first transistor is set larger than the
25 value of the gate width/gate length of the second transistor.

22. The signal-line drive circuit according to Claim 10, characterized in that:

the value of the gate width/gate length of the first transistor is set larger than the value of the gate width/gate length of the second transistor.

23. The signal-line drive circuit according to Claim 11, characterized in that:

5 the value of the gate width/gate length of the first transistor is set larger than the value of the gate width/gate length of the second transistor.

24. The signal-line drive circuit according to Claim 12, characterized in that:

10 the value of the gate width/gate length of the first transistor is set larger than the value of the gate width/gate length of the second transistor.

25. The signal-line drive circuit according to Claim 13, characterized in that:

15 the value of the gate width/gate length of the first transistor is set larger than the value of the gate width/gate length of the second transistor.

26. The signal-line drive circuit according to Claim 14, characterized in that:

the value of the gate width/gate length of the first transistor is set larger than the value of the gate width/gate length of the second transistor.

20 27. The signal-line drive circuit according to Claim 1, characterized in that:

the supply means comprises a transistor; first and second switches for controlling the supply of the current to the capacitance means; and a third switch for controlling the communication between the gate and the drain of the transistor; wherein

25 the gate of the transistor is connected to the first switch; the source of the transistor is connected to the second switch; and the drain of the transistor is connected to the third switch.

28. The signal-line drive circuit according to Claim 2, characterized in that:

the supply means comprises a transistor; first and second switches for controlling the supply of the current to the capacitance means; and a third switch for controlling the communication between the gate and the drain of the transistor; wherein

5 the gate of the transistor is connected to the first switch; the source of the transistor is connected to the second switch; and the drain of the transistor is connected to the third switch.

29. The signal-line drive circuit according to Claim 1, characterized in that:

10 the supply means comprises a current mirror circuit including m transistors; wherein

the values of the gate width/gate length of the m transistor are set to a proportion of $20:21:\cdots:2m$; and

the drain currents of the m transistors are set to a proportion of $20:21:\cdots:2m$.

15

30. The signal-line drive circuit according to Claim 2, characterized in that:

the supply means comprises a current mirror circuit including m transistors; wherein

20 the values of the gate width/gate length of the m transistor are set to a proportion of $20:21:\cdots:2m$; and

the drain currents of the m transistors are set to a proportion of $20:21:\cdots:2m$.

31. The signal-line drive circuit according to Claim 1, characterized in that:

transistors constituting the supply means operate in a saturated area.

25

32. The signal-line drive circuit according to Claim 2, characterized in that:

transistors constituting the supply means operate in a saturated area.

33. The signal-line drive circuit according to Claim 1, characterized in that:
active layers of the transistors constituting the current source circuit are formed
of polysilicon.

5

34. The signal-line drive circuit according to Claim 2, characterized in that:
active layers of the transistors constituting the current source circuit are formed
of polysilicon.

10 35. A light emitting device characterized by comprising the signal-line drive
circuit of Claim 1 and a pixel section having a plurality of pixels each including a light-
emitting element arranged in matrix.

15 36. A light emitting device characterized by comprising the signal-line drive
circuit of Claim 2 and a pixel section having a plurality of pixels each including a light-
emitting element arranged in matrix.

ABSTRACT

Variations occur in the characteristics of transistors. The present invention is a signal-line drive circuit comprising first and second current source circuits
5 corresponding to respective plurality of signal lines, a shift register, and n (n is a natural number of one or more) video-signal constant current source s , wherein each of the first and second current source circuits has a capacitance means and a supply means. The capacitance means held in one of the first and second source circuits converts a current including a current supplied from each of the n video-signal constant current source s to
10 voltage in response to a sampling pulse supplied from the shift register and a latch pulse supplied from the exterior; and the supply means held in the other supplies a current responsive to the converted voltage. The values of the currents supplied from the n video-signal constant current source s are set to a proportion of $2^0:2^1:\dots:2^n$.

15

1/46

Fig. 1

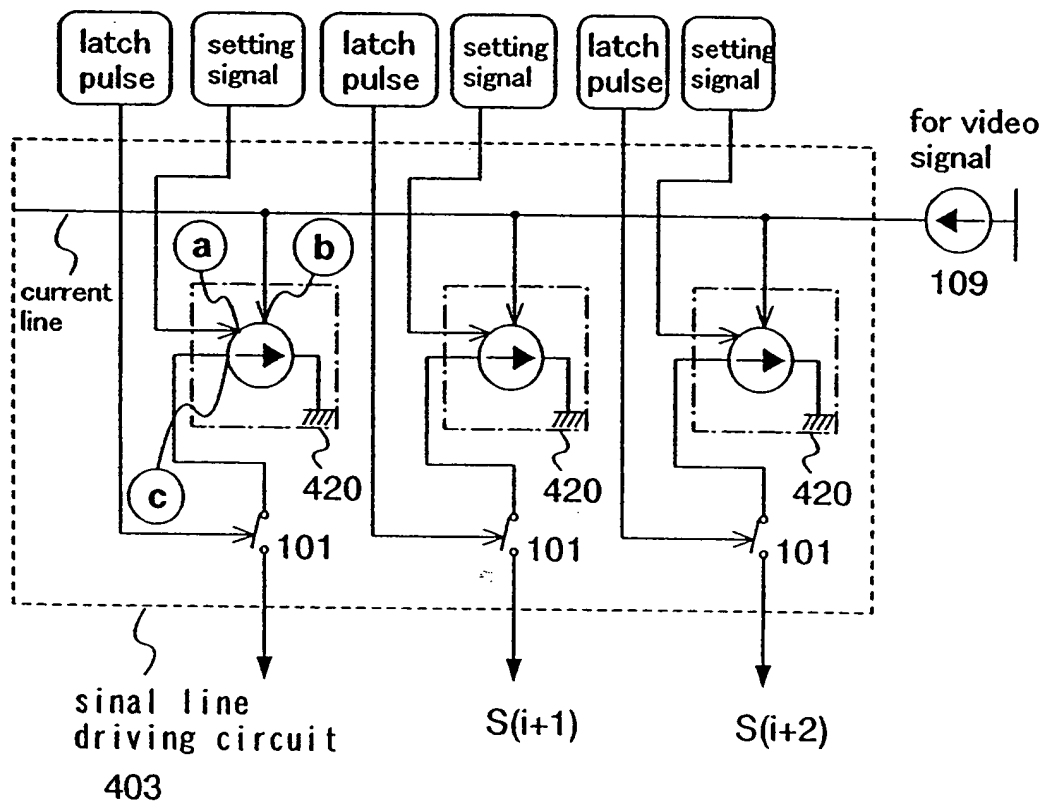


Fig. 2

2/46

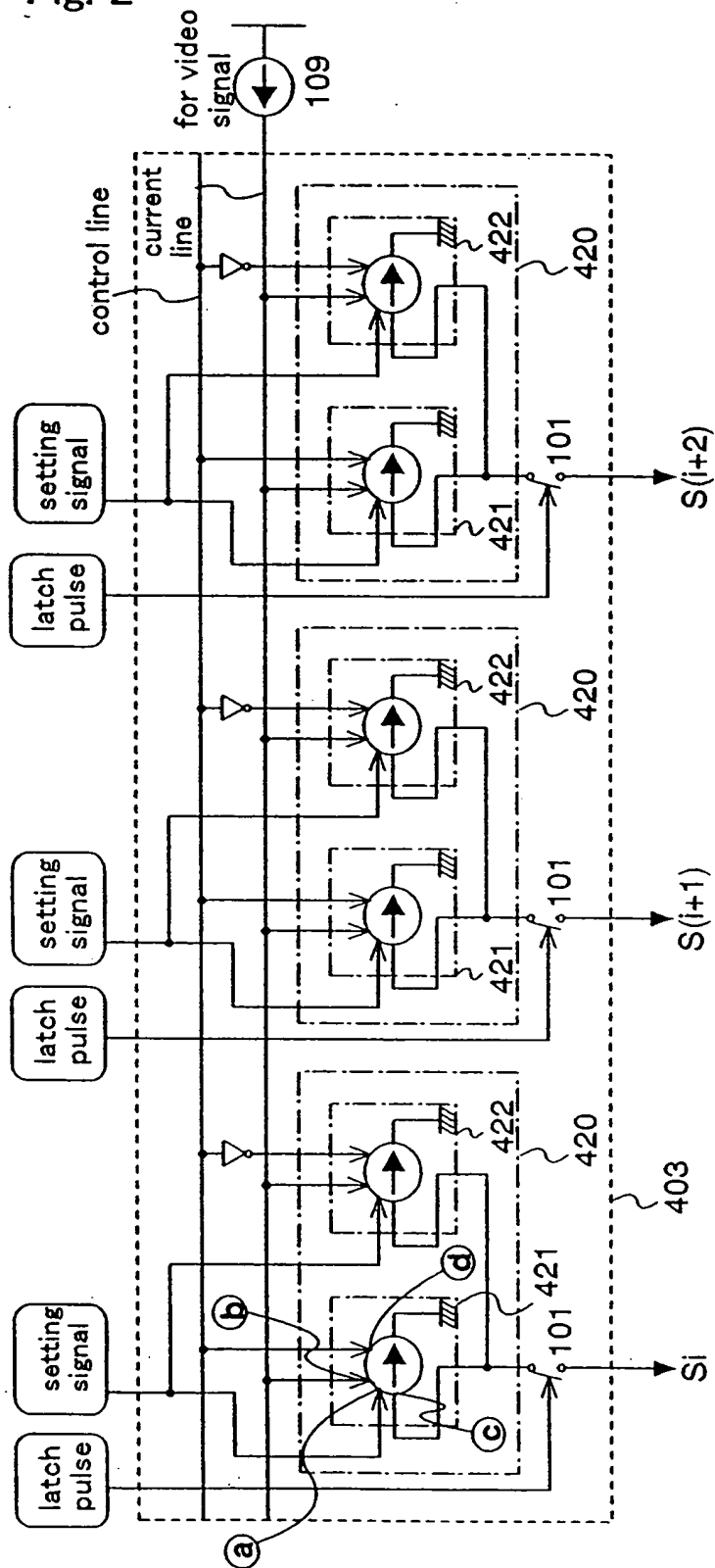


Fig. 3A

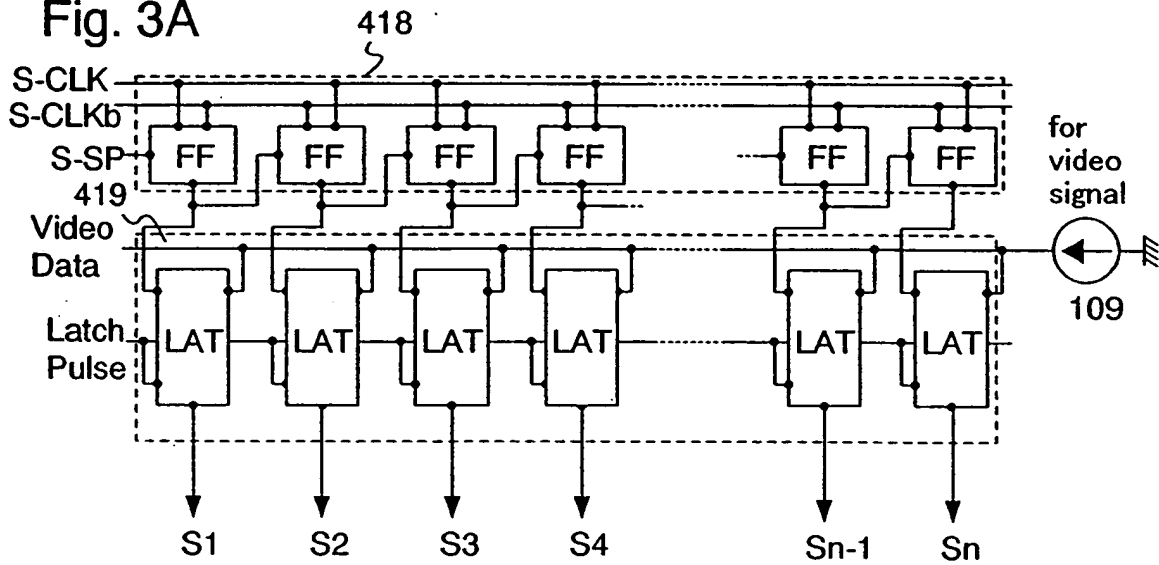


Fig. 3B

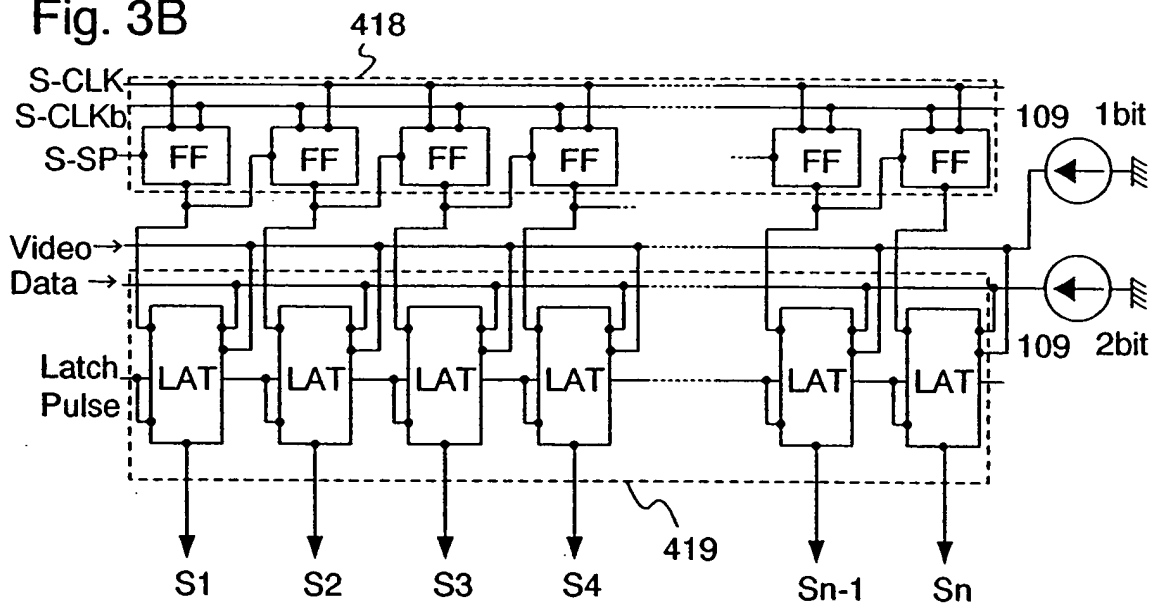


Fig. 4

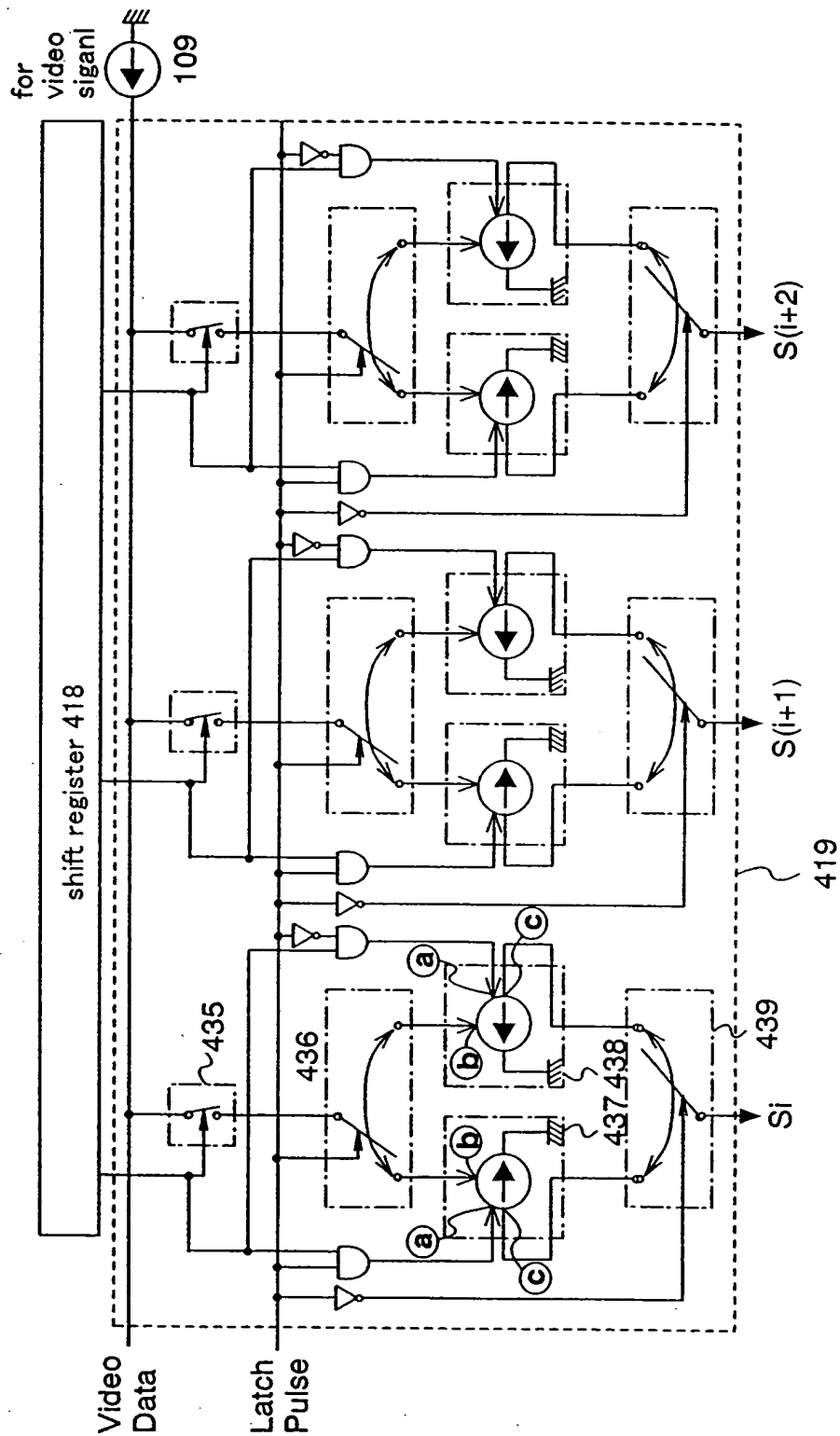


Fig. 5

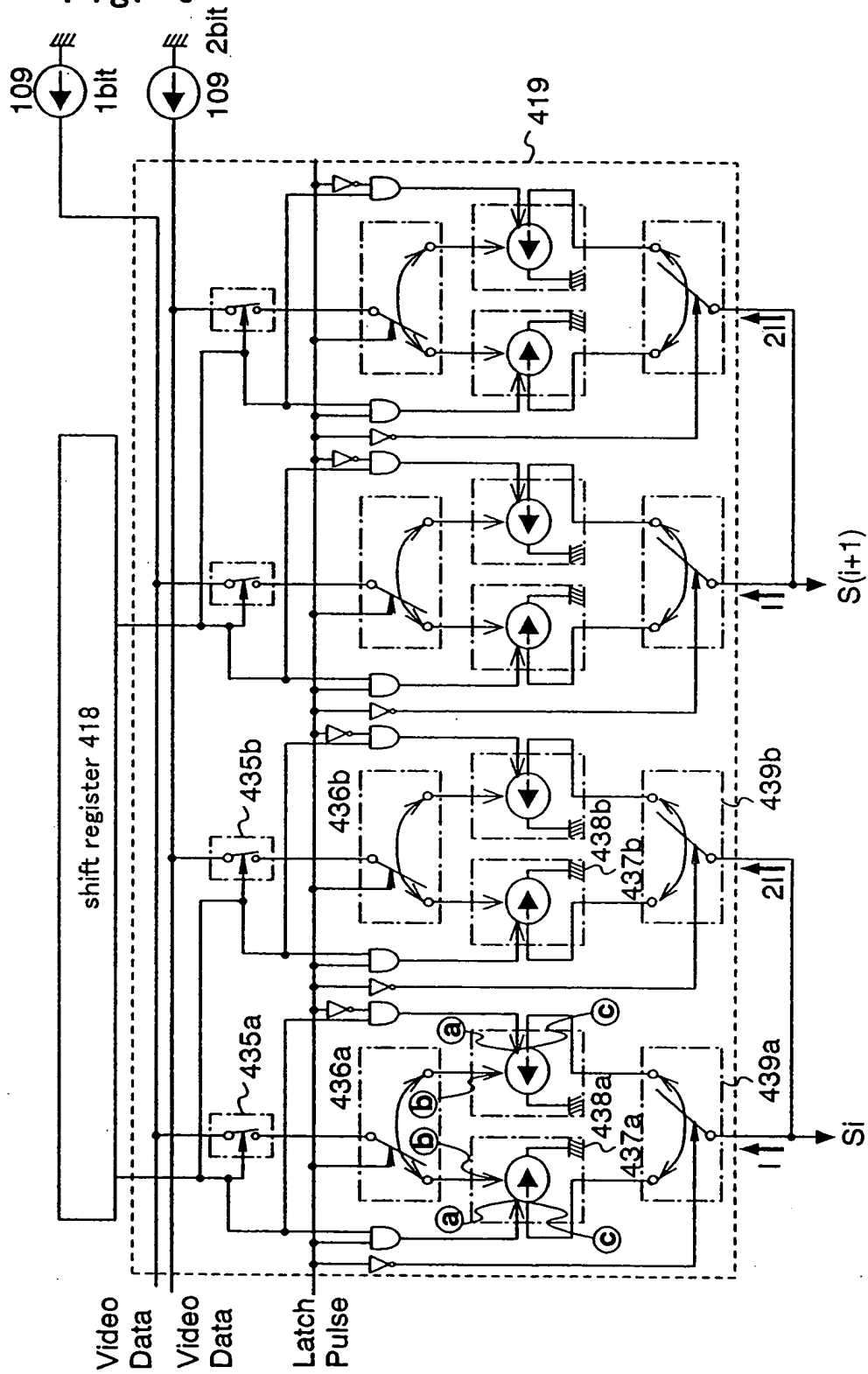


Fig. 6A

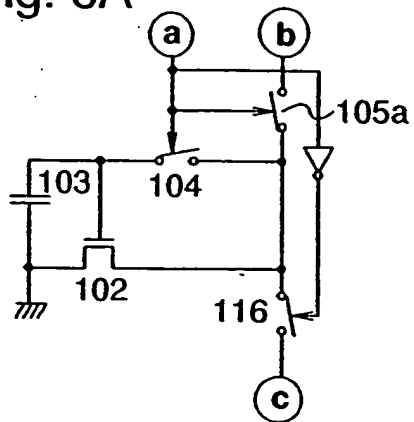


Fig. 6B

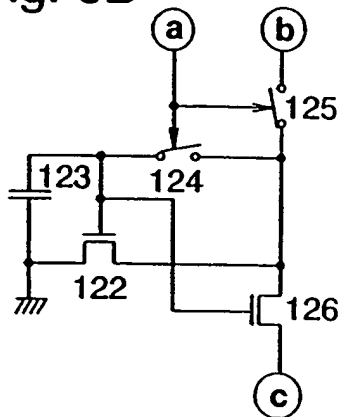


Fig. 6C

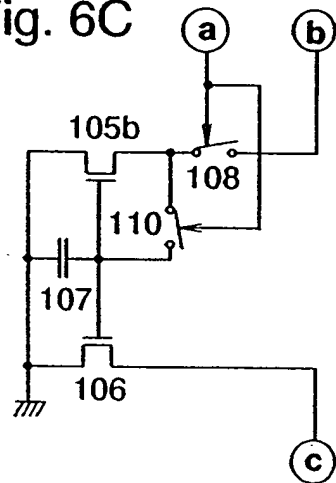


Fig. 6D

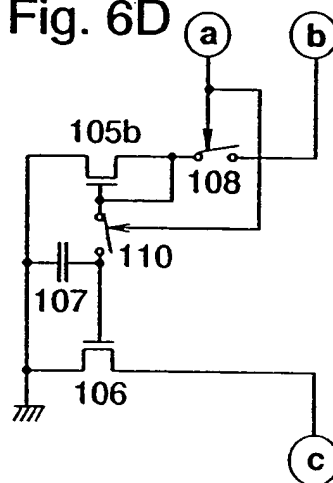


Fig. 6E

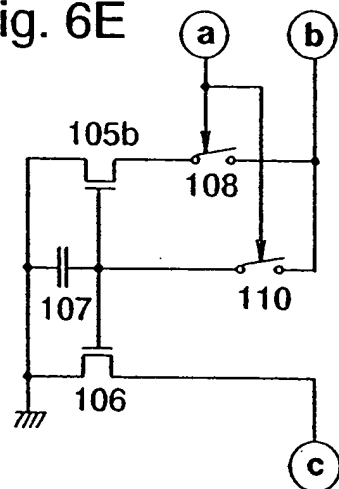


Fig. 7A

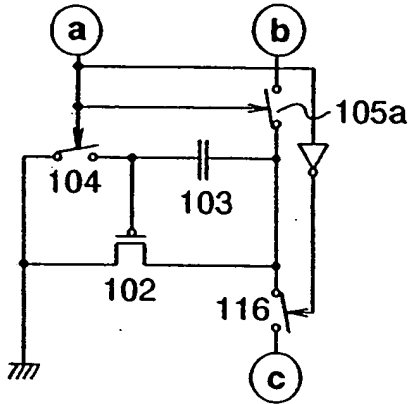


Fig. 7B

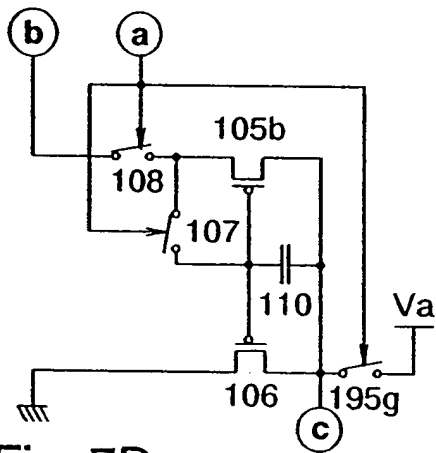


Fig. 7C

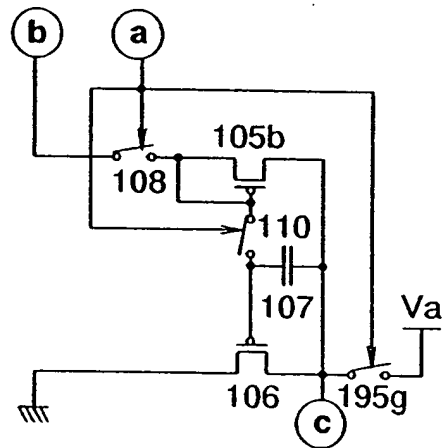


Fig. 7D

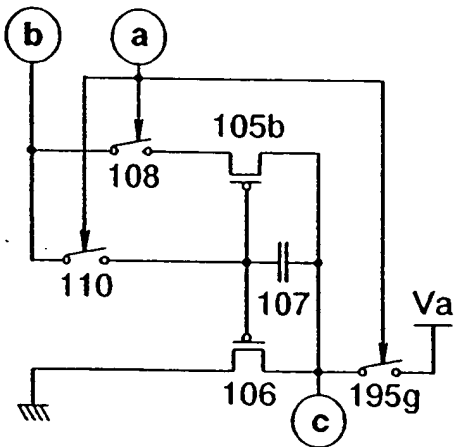


Fig. 8A

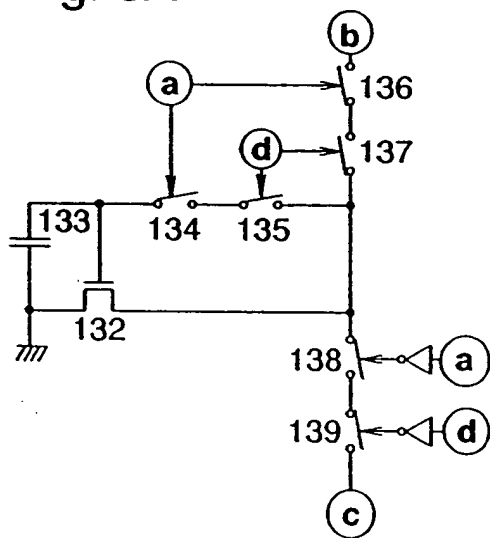


Fig. 8B

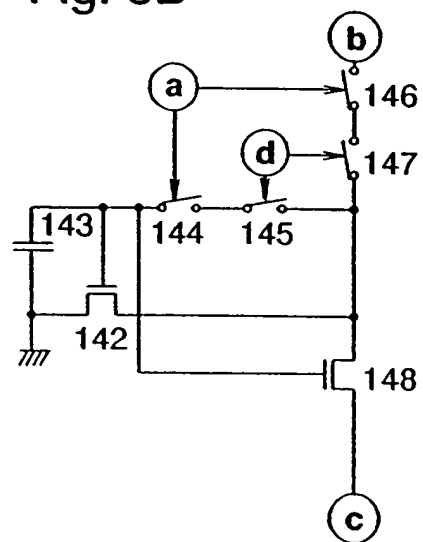


Fig. 10

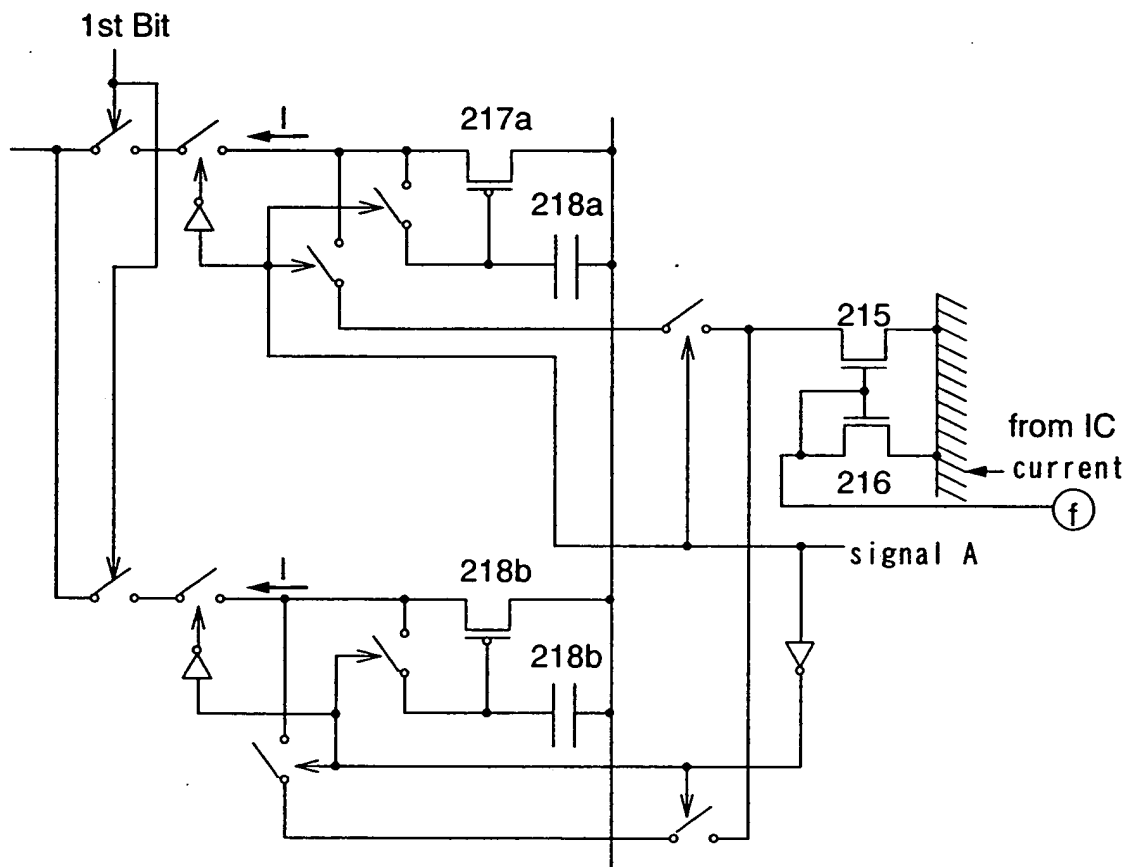


Fig. 11A

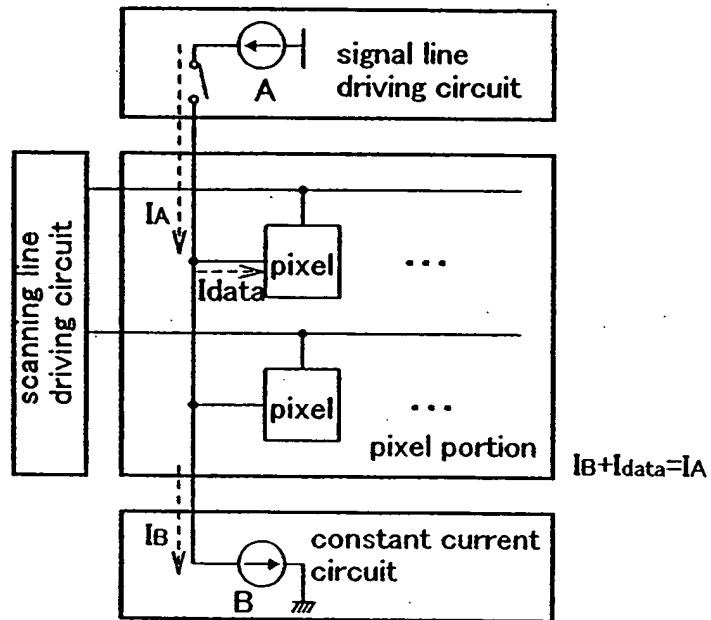


Fig. 11B

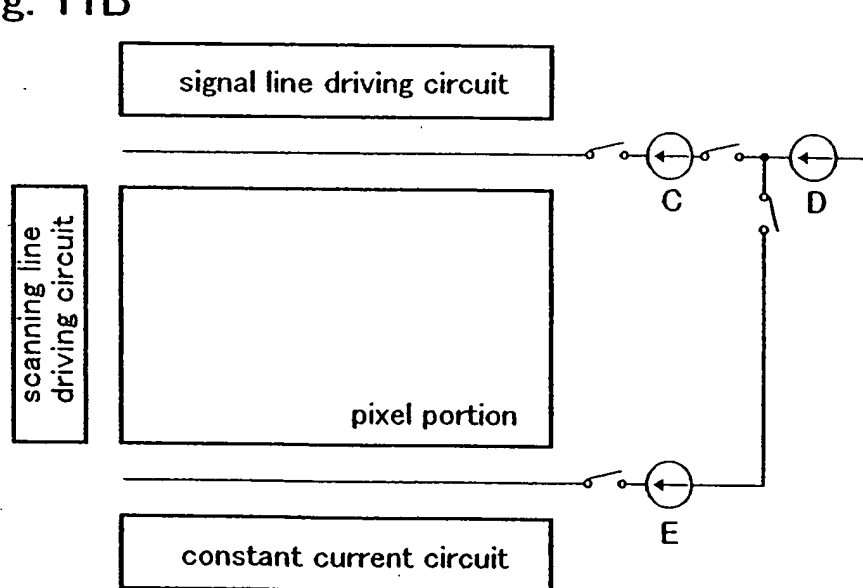


Fig. 12A

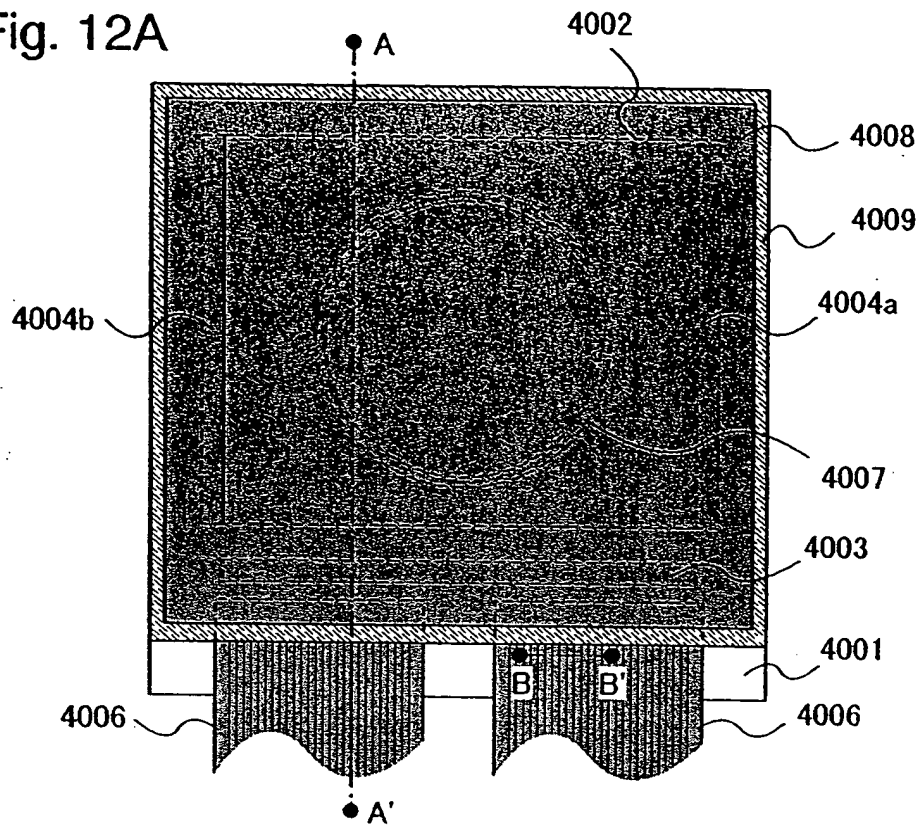


Fig. 12B

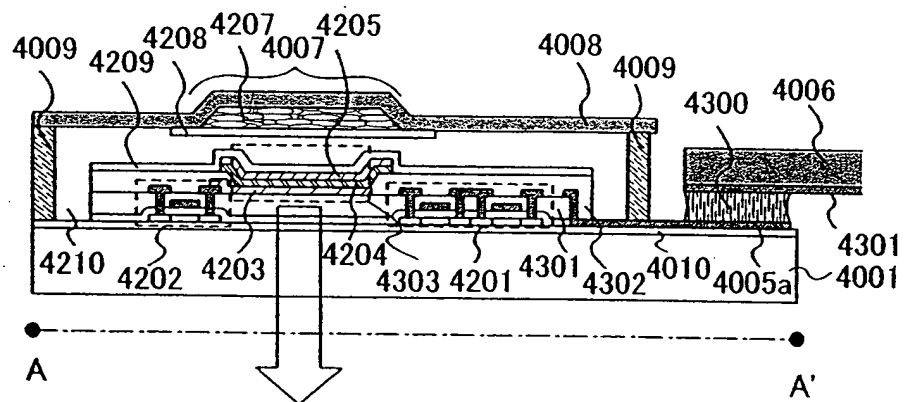


Fig. 12C

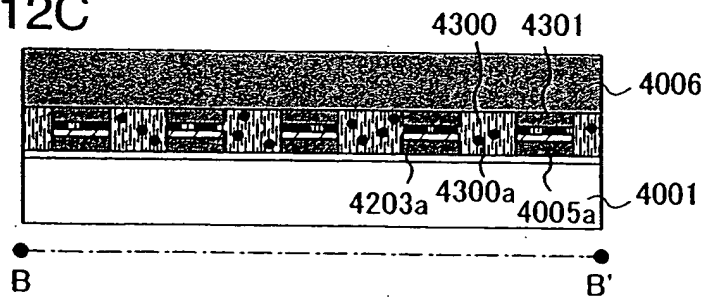


Fig. 13A

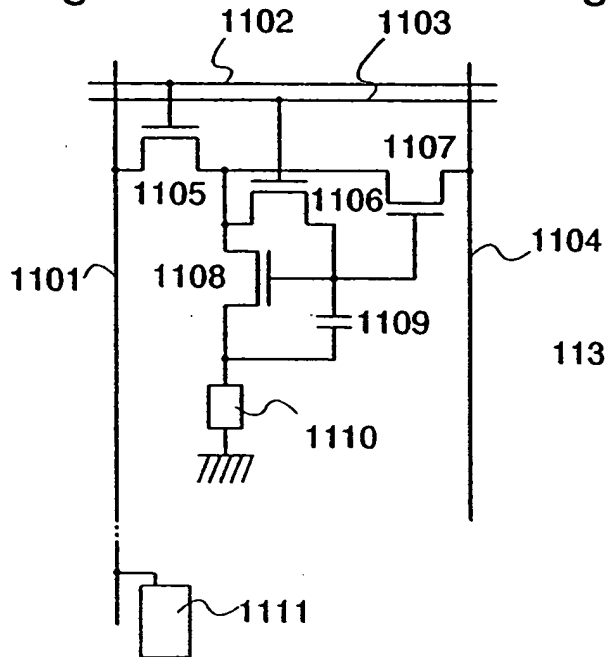


Fig. 13B

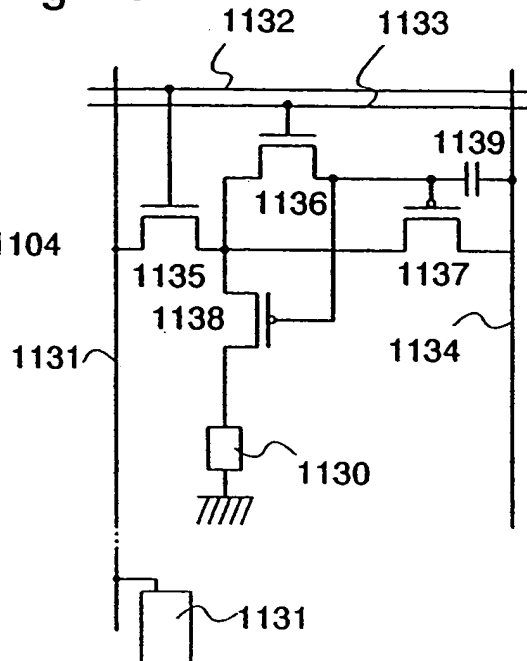
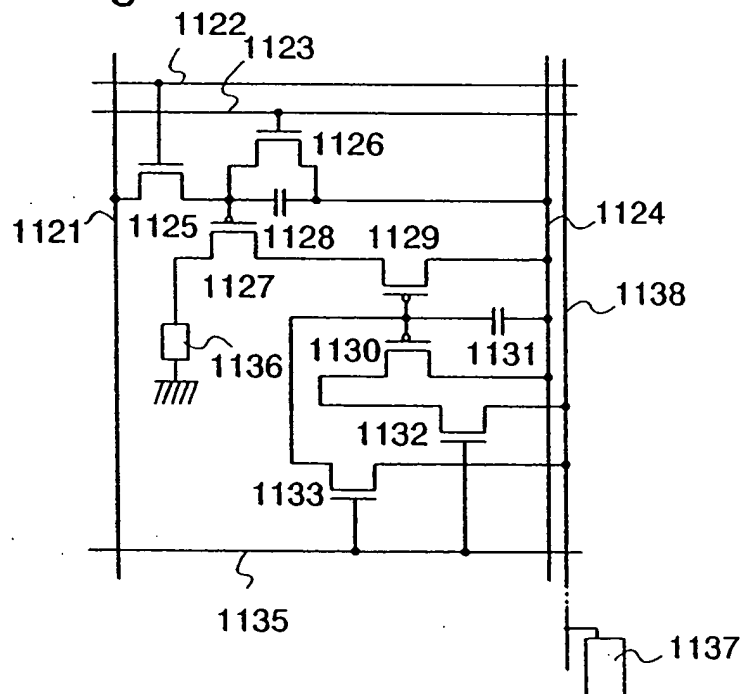


Fig. 13C



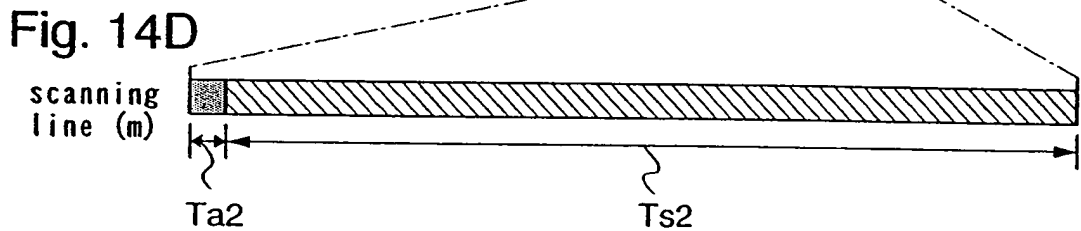
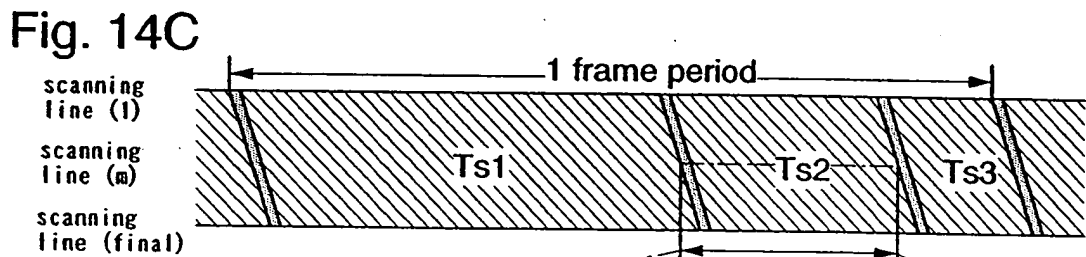
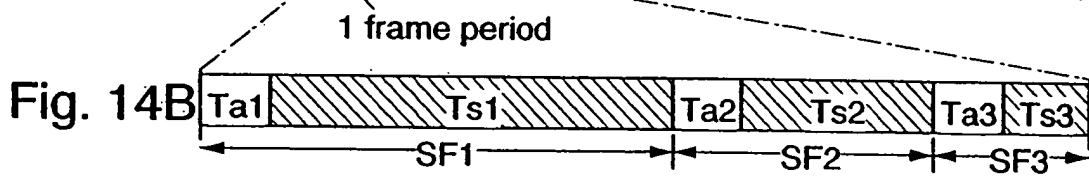
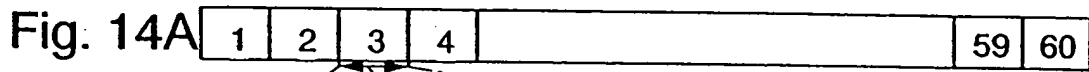


Fig. 15A

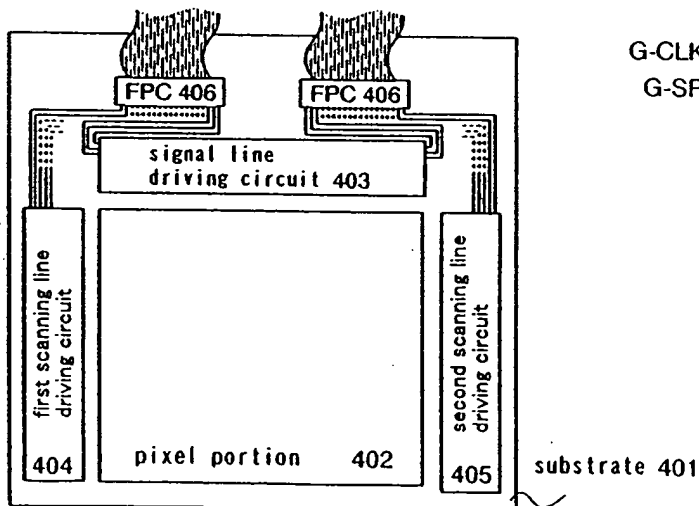


Fig. 15B

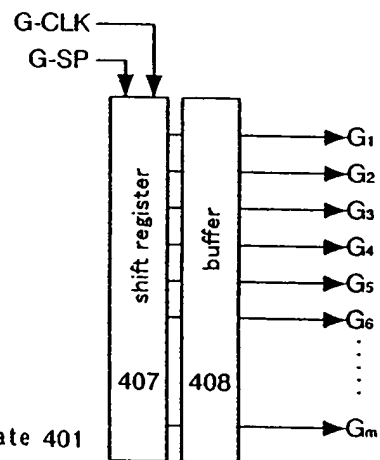


Fig. 16A

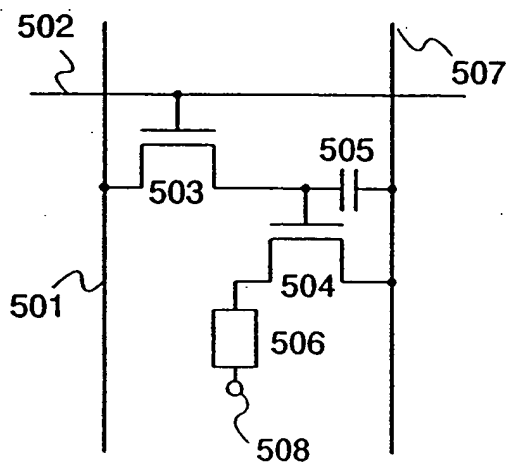


Fig. 16B

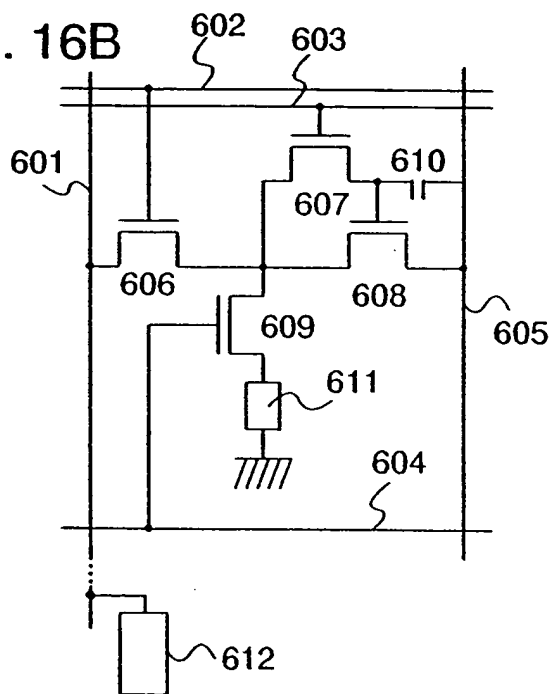


Fig. 17A signal input time

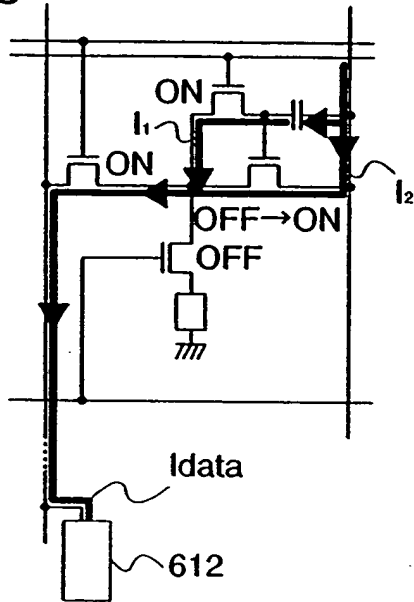


Fig. 17B signal input complete time

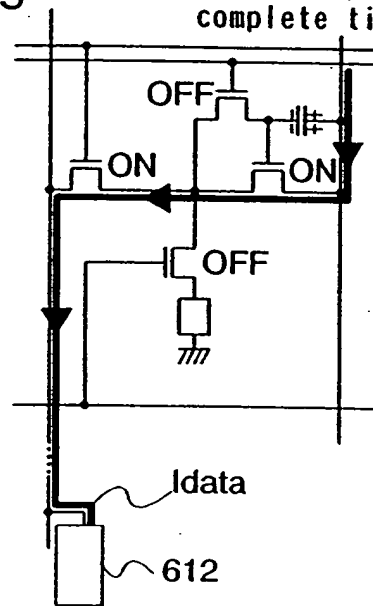


Fig. 17C light emitting time

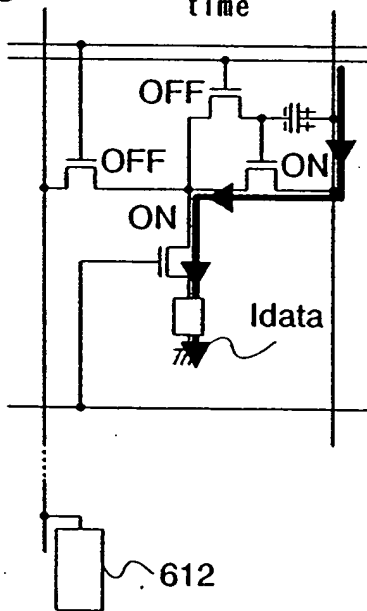


Fig. 17D

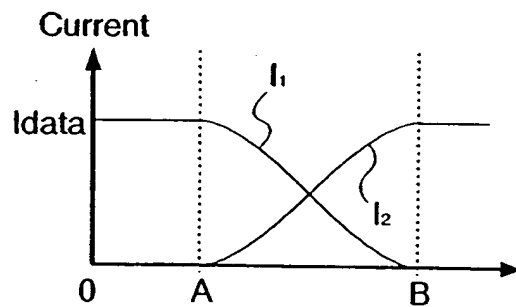


Fig. 17E

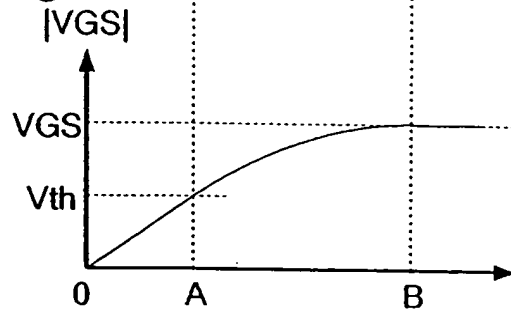


Fig. 18A

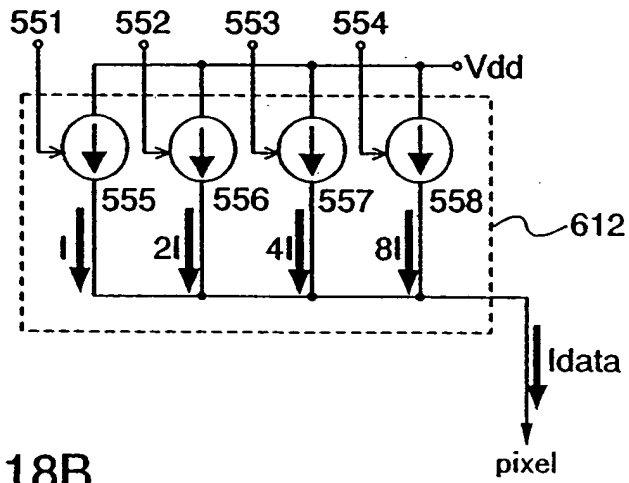


Fig. 18B

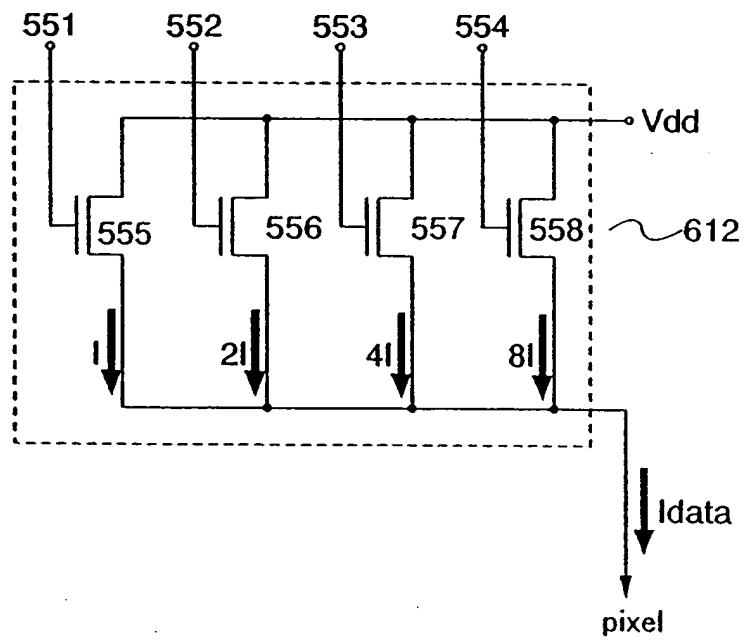


Fig. 19A

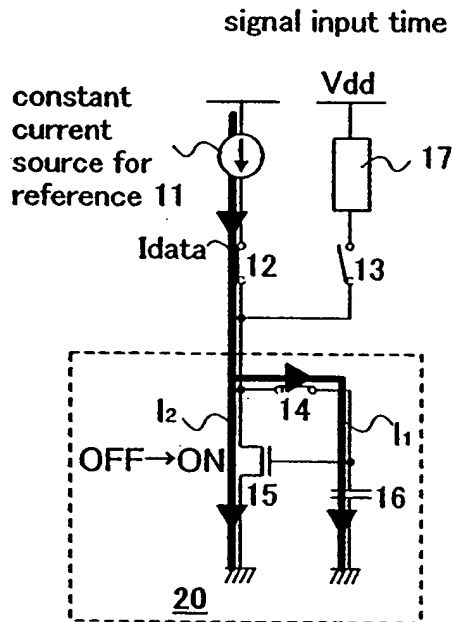


Fig. 19B

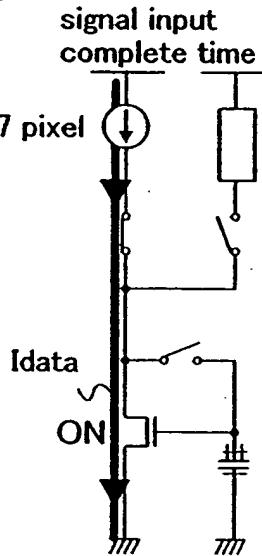


Fig. 19C

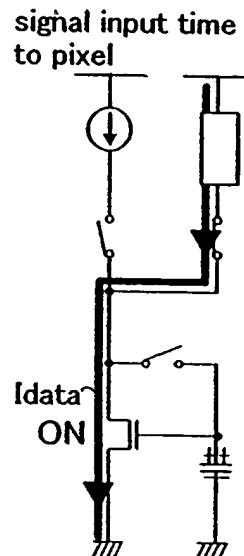


Fig. 19D

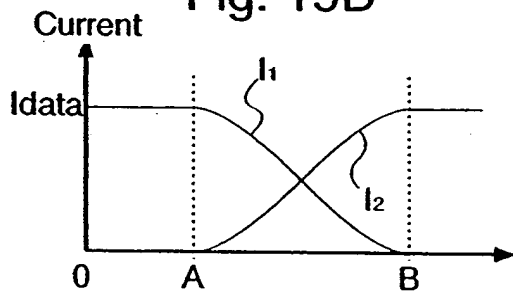


Fig. 19E

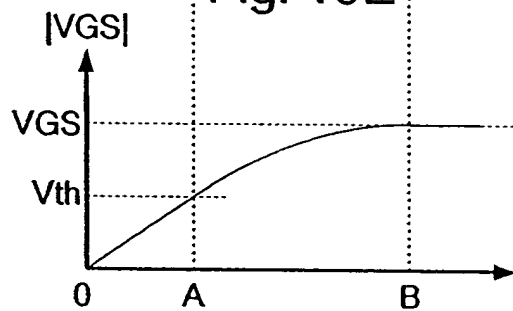


Fig. 19F

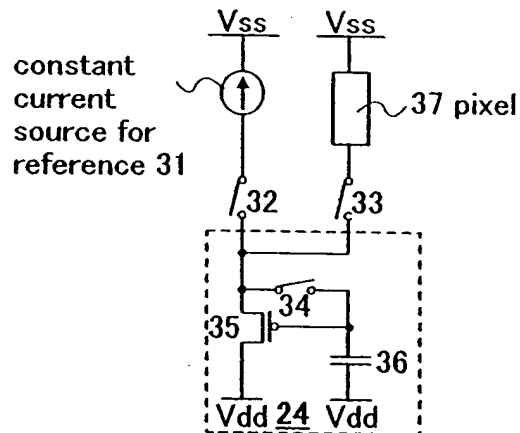


Fig. 20A signal input time

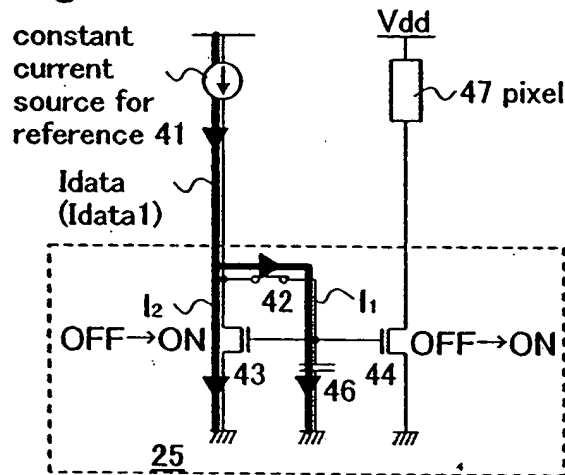


Fig. 20B signal input complete time

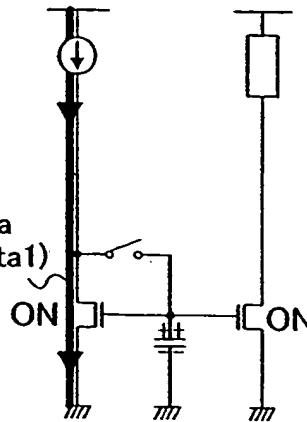


Fig. 20C signal input time to pixel

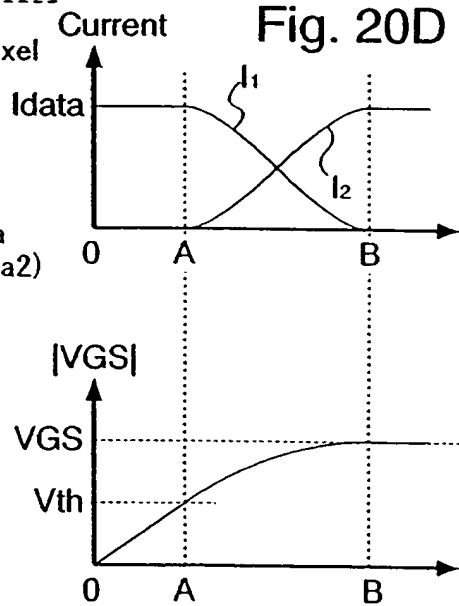
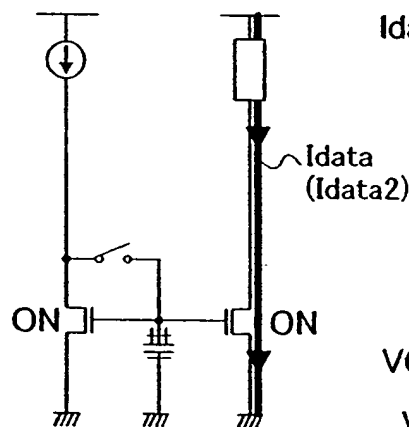


Fig. 20E

Fig. 21

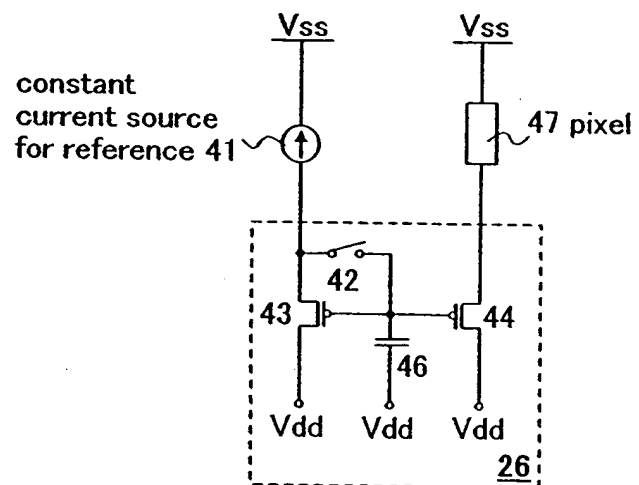


Fig. 22A

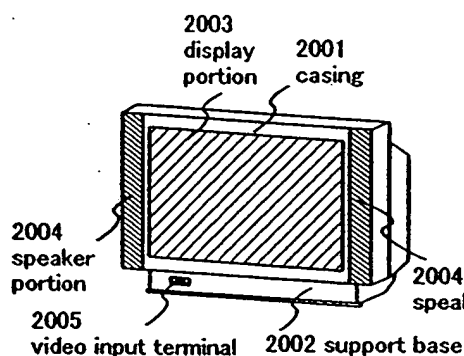


Fig. 22B

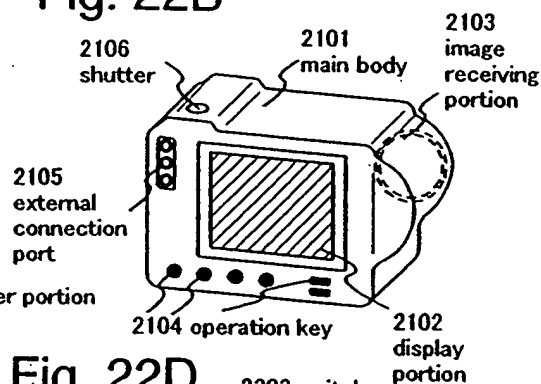


Fig. 22C

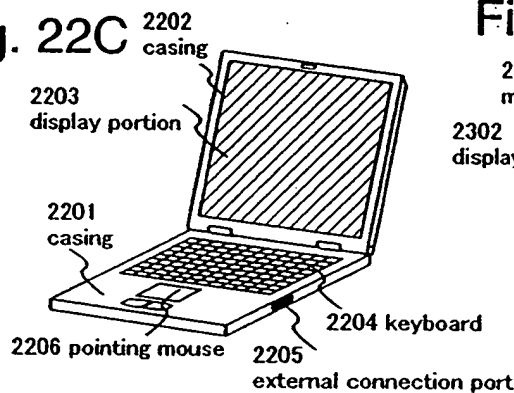


Fig. 22D

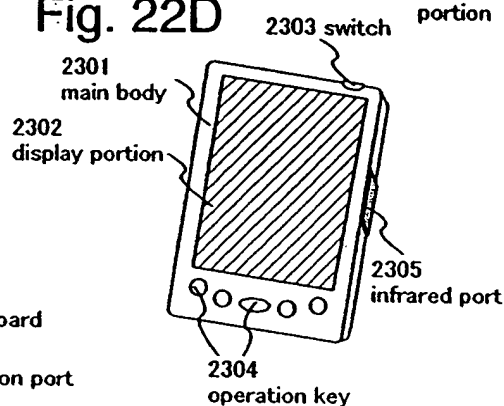


Fig. 22E

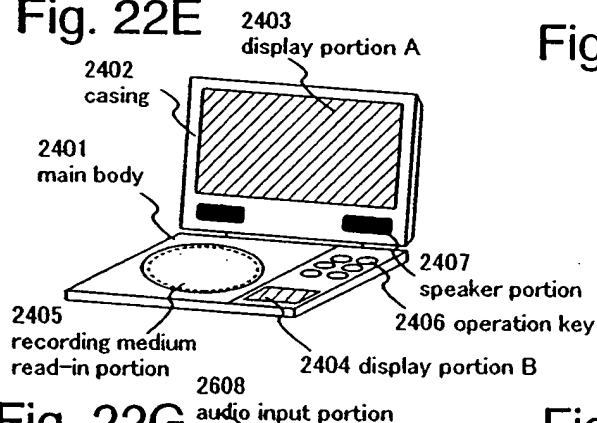


Fig. 22F

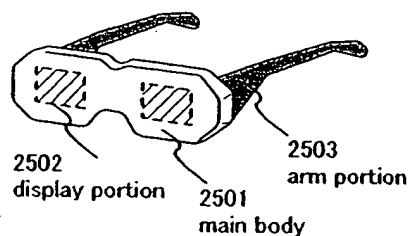


Fig. 22G

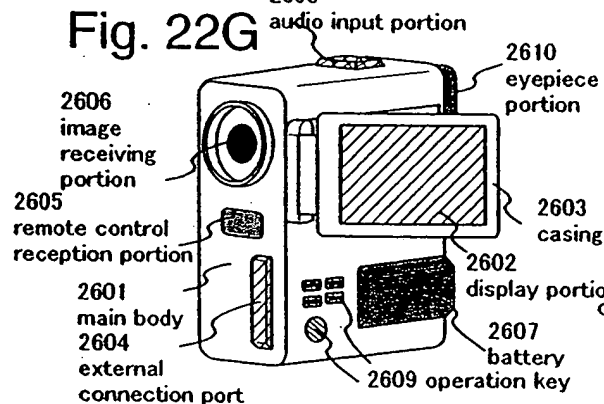
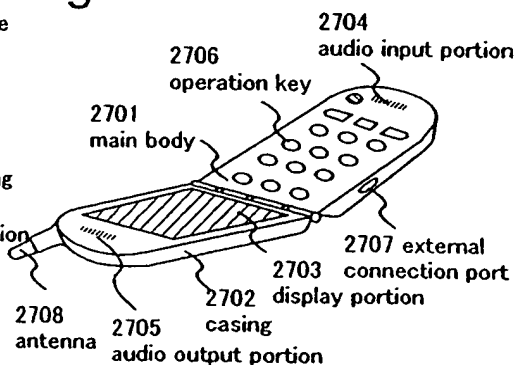


Fig. 22H



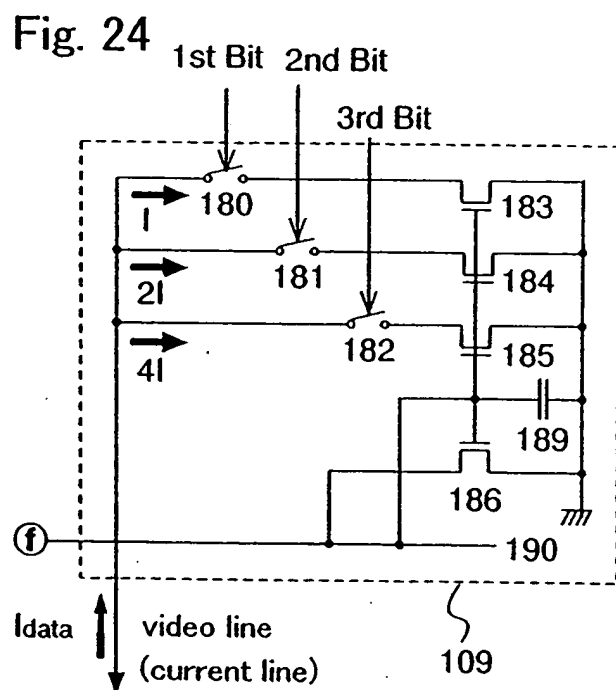
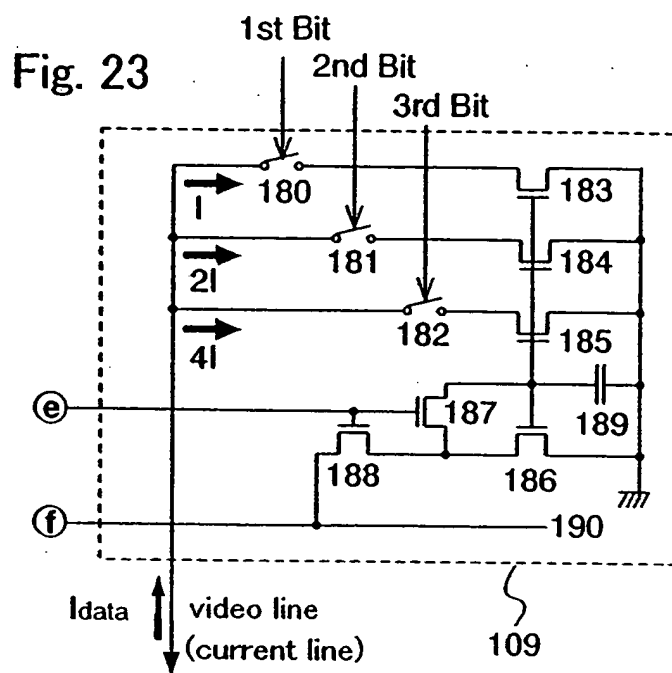


Fig. 25

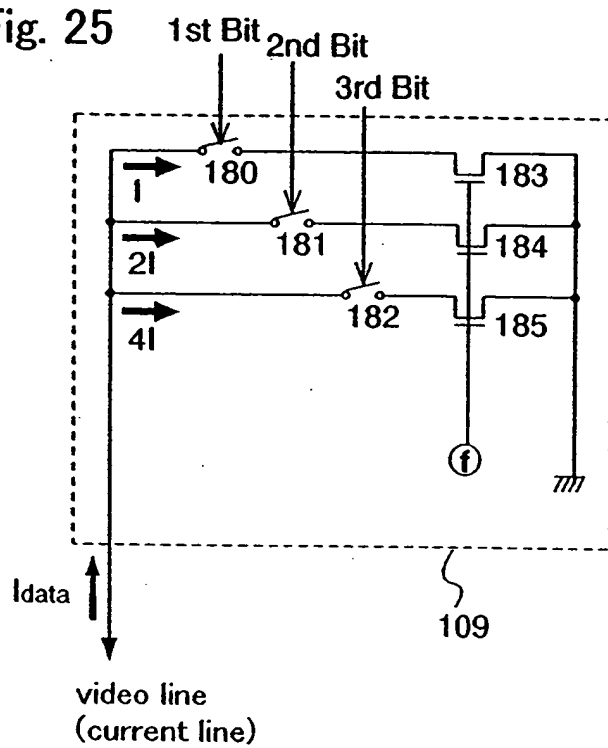


Fig. 26

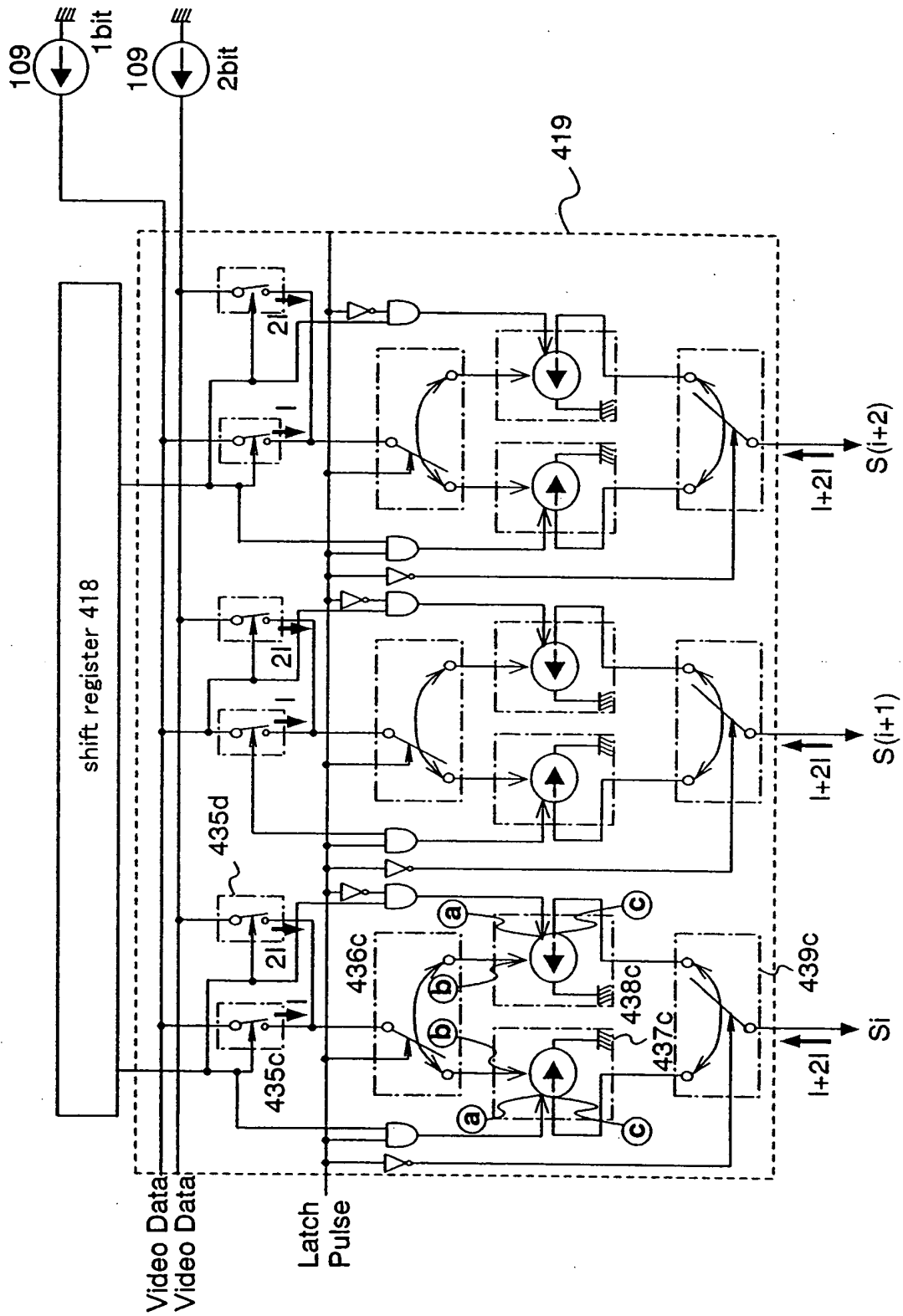


Fig. 27A1

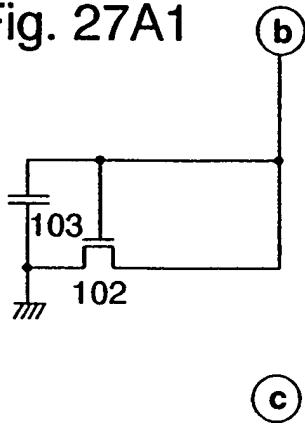


Fig. 27A2

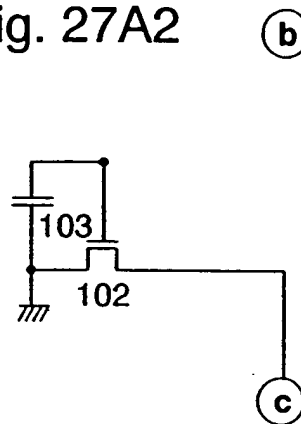


Fig. 27B1

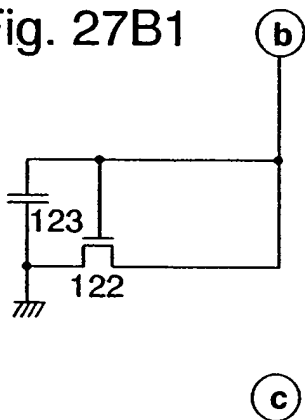


Fig. 27B2

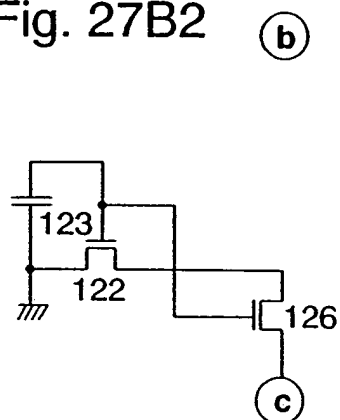


Fig. 27C1

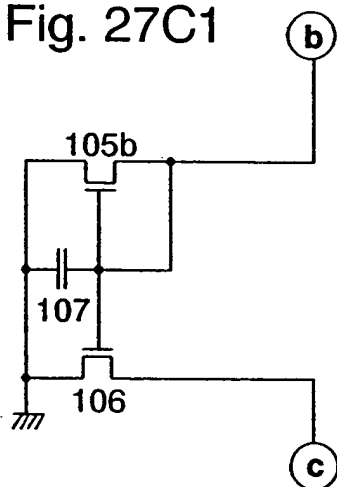


Fig. 27C2

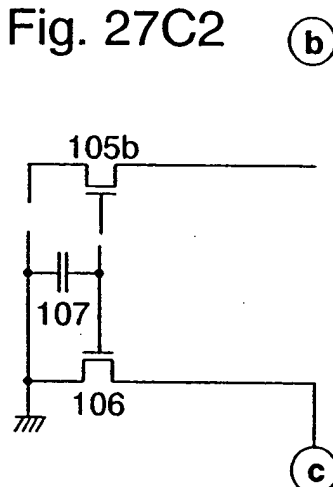


Fig. 28A

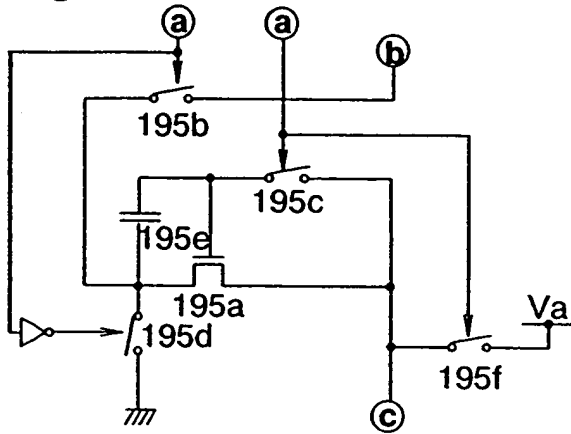


Fig. 28B1

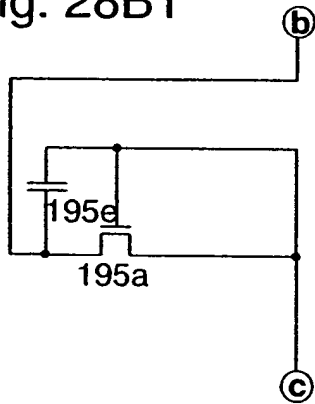


Fig. 28B2

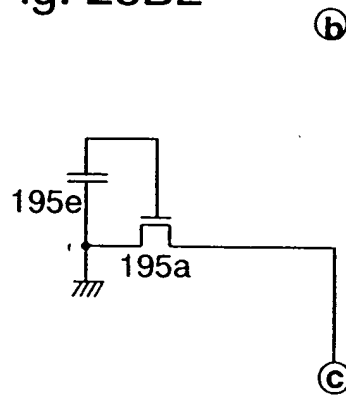


Fig. 28C1

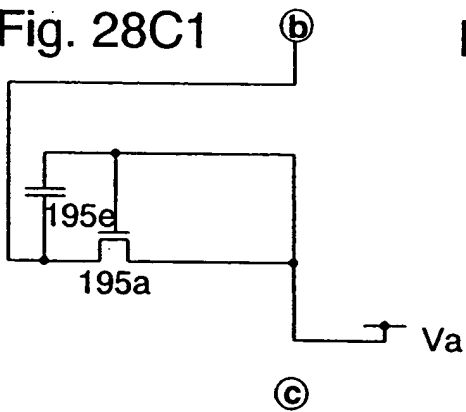


Fig. 28C2

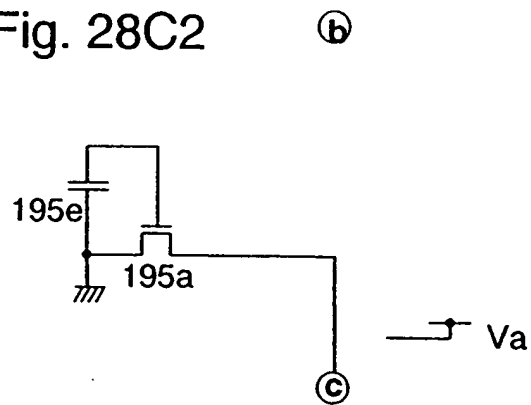


Fig. 29A

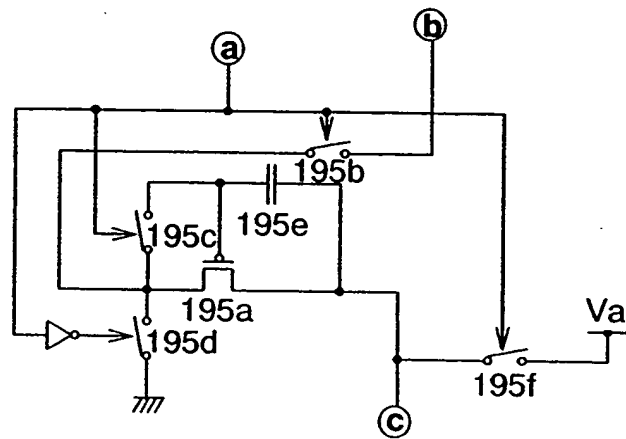


Fig. 29B

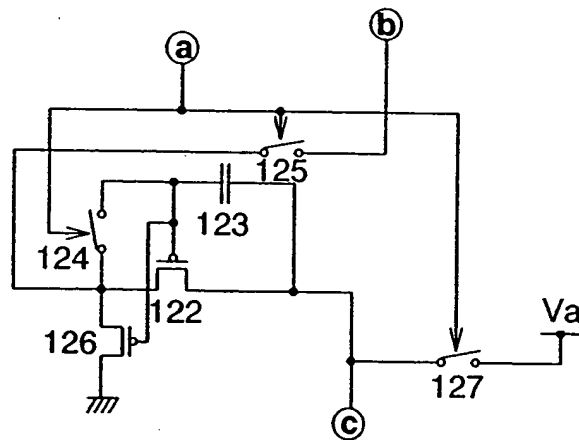


Fig. 30A1

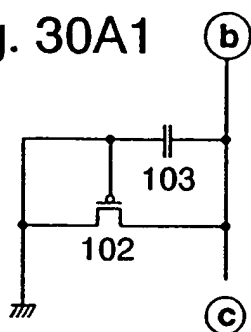


Fig. 30A2

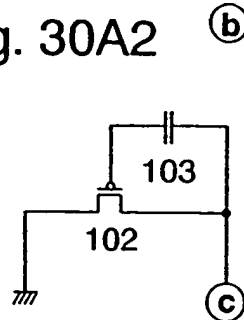


Fig. 30B1

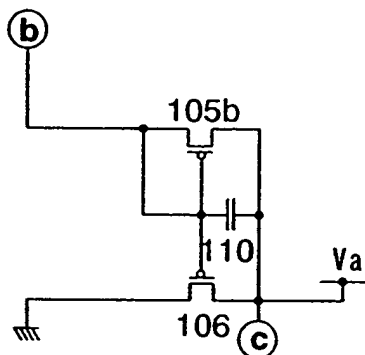


Fig. 30B2

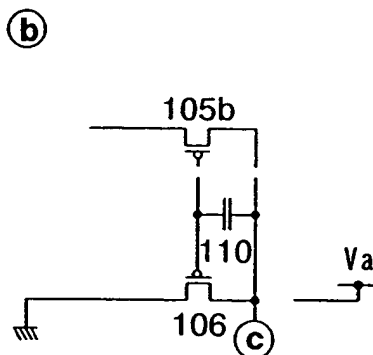


Fig. 30C1

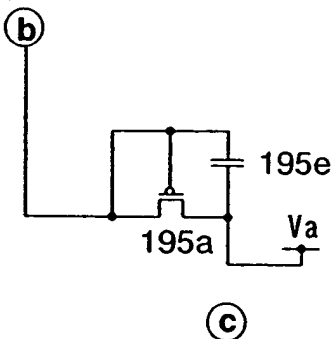


Fig. 30C2

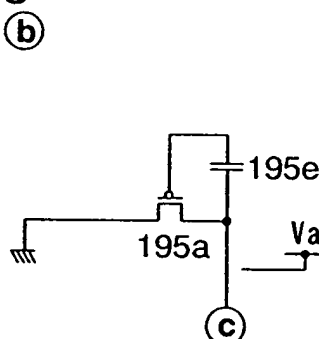


Fig. 30D1

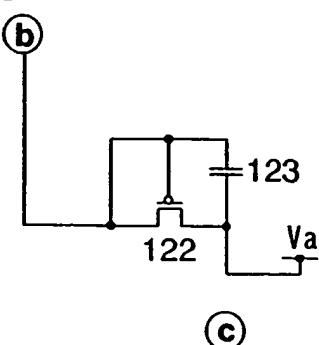


Fig. 30D2

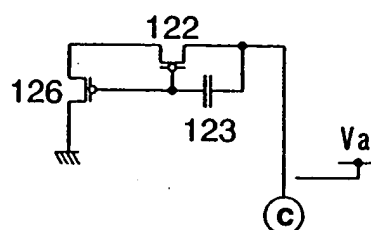


Fig. 31A

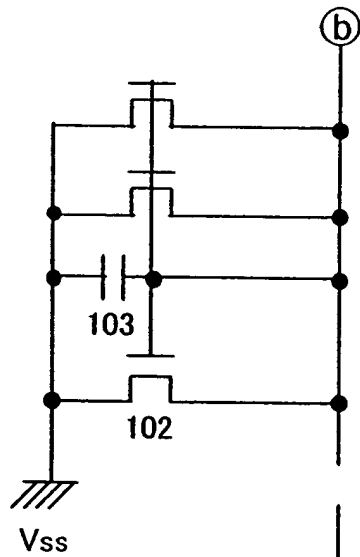
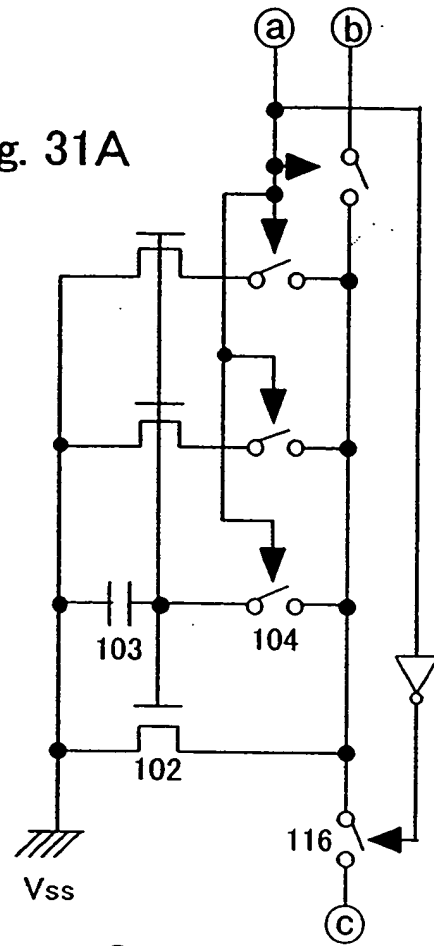


Fig. 31B

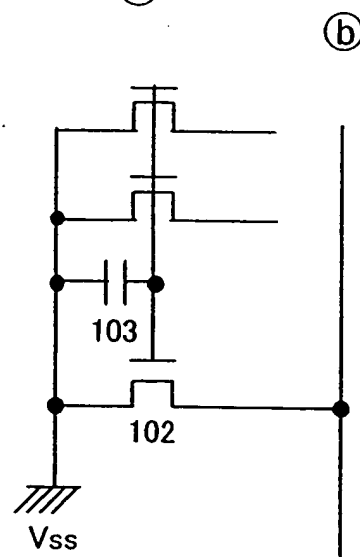


Fig. 31C

Fig. 32

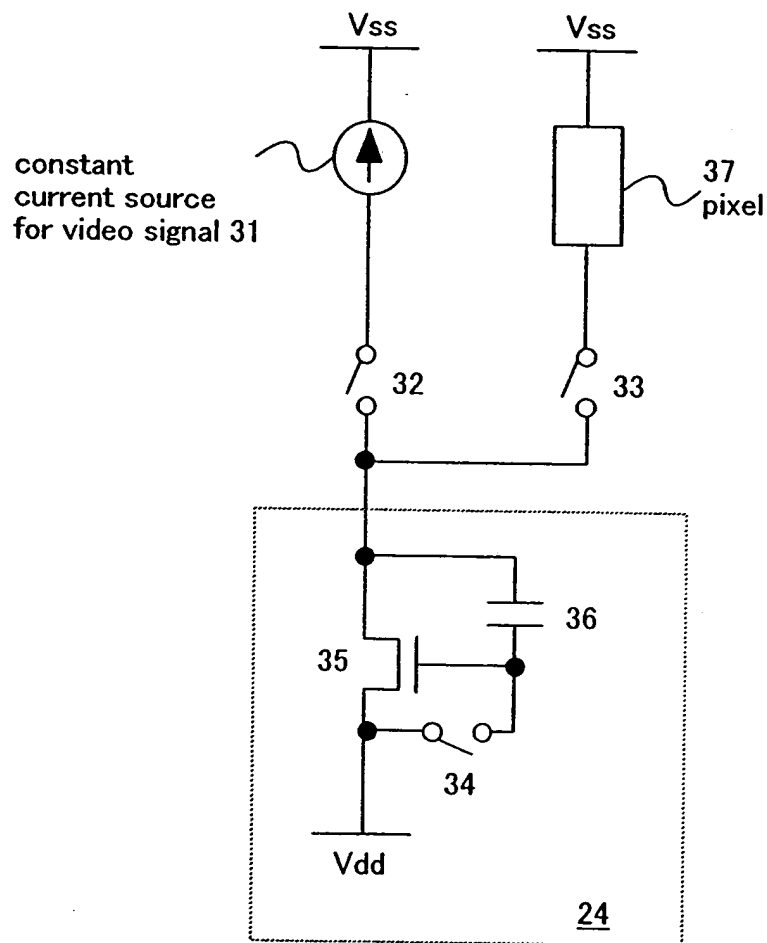


Fig. 33

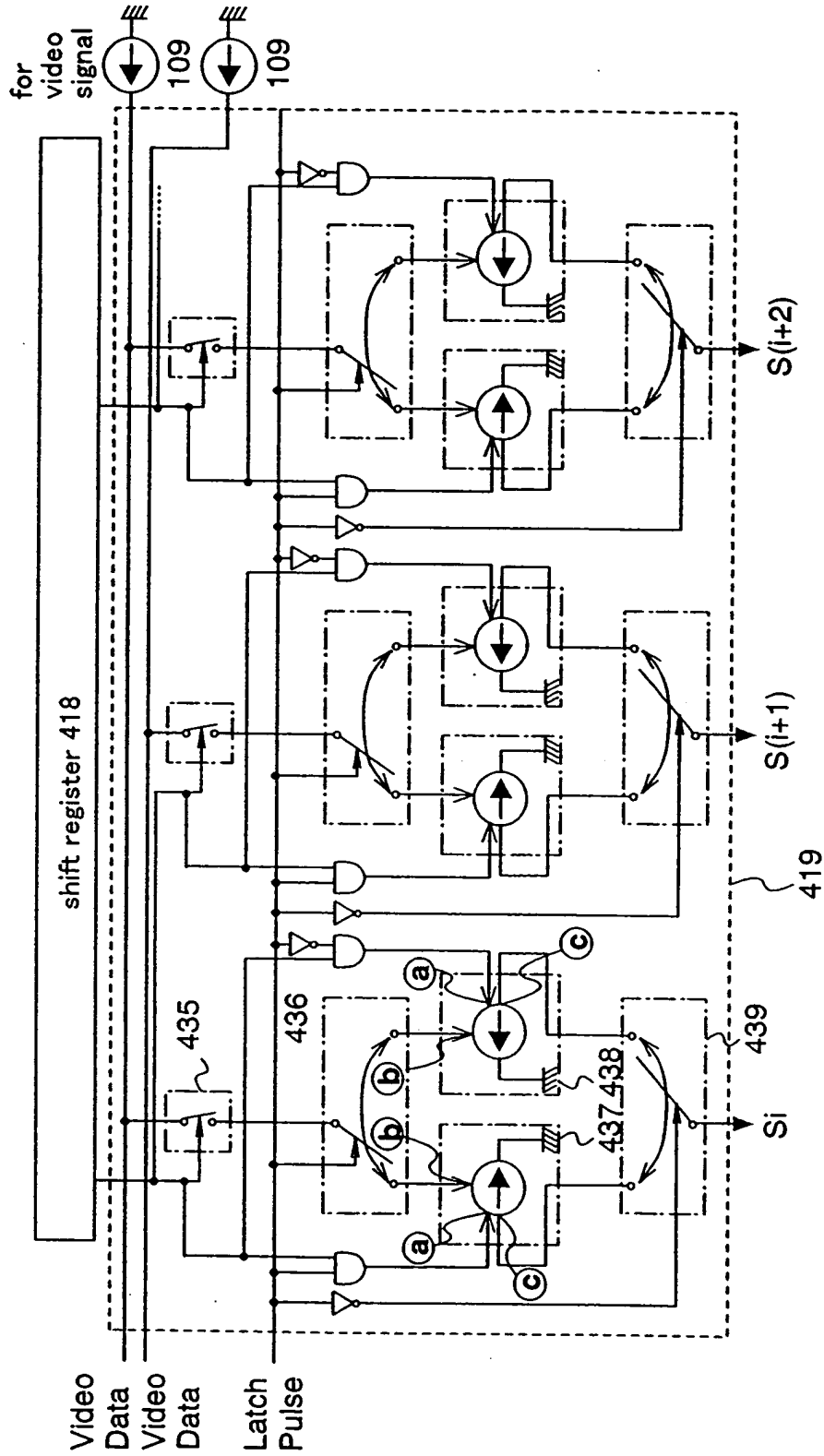


Fig. 34

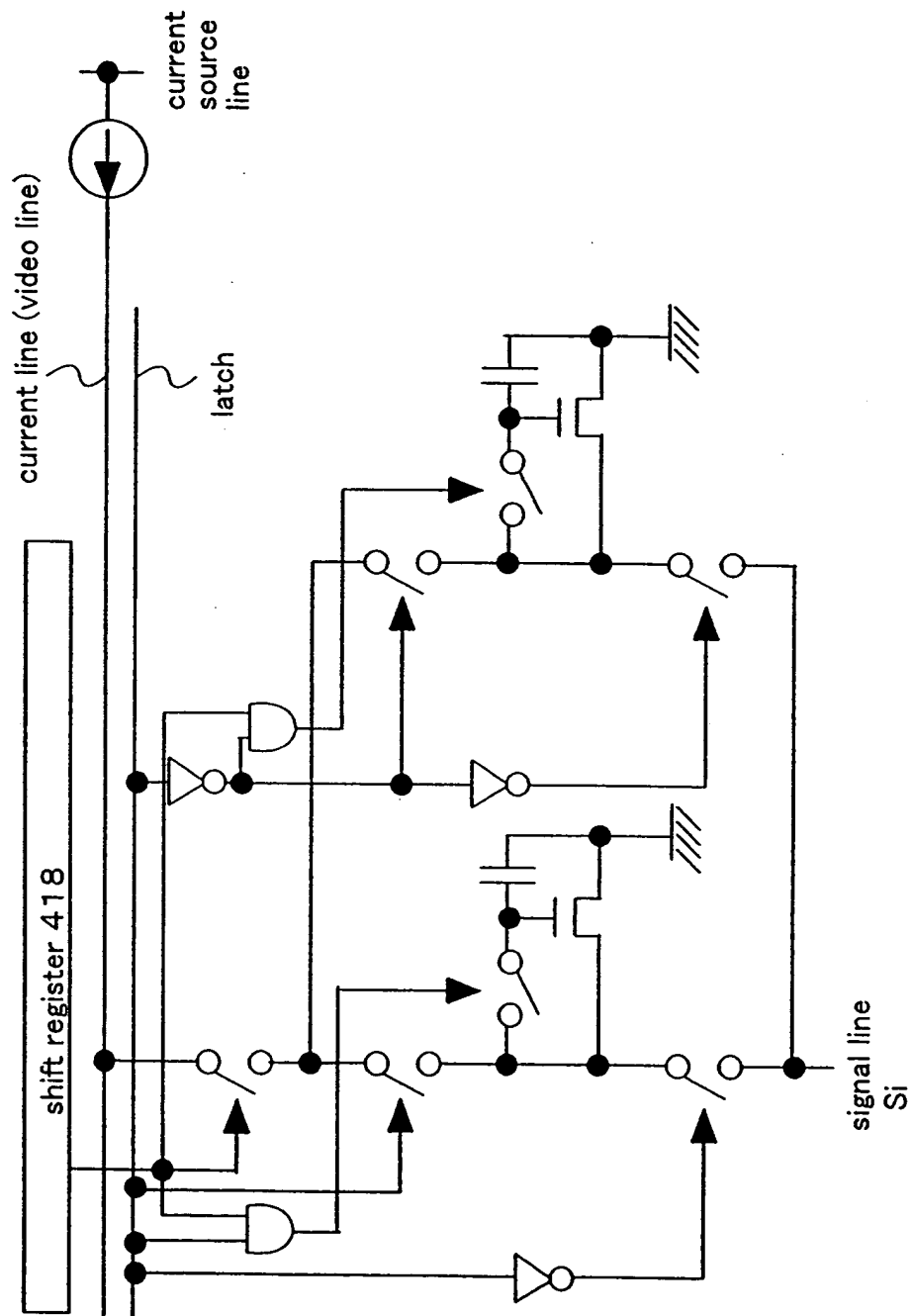


Fig.35

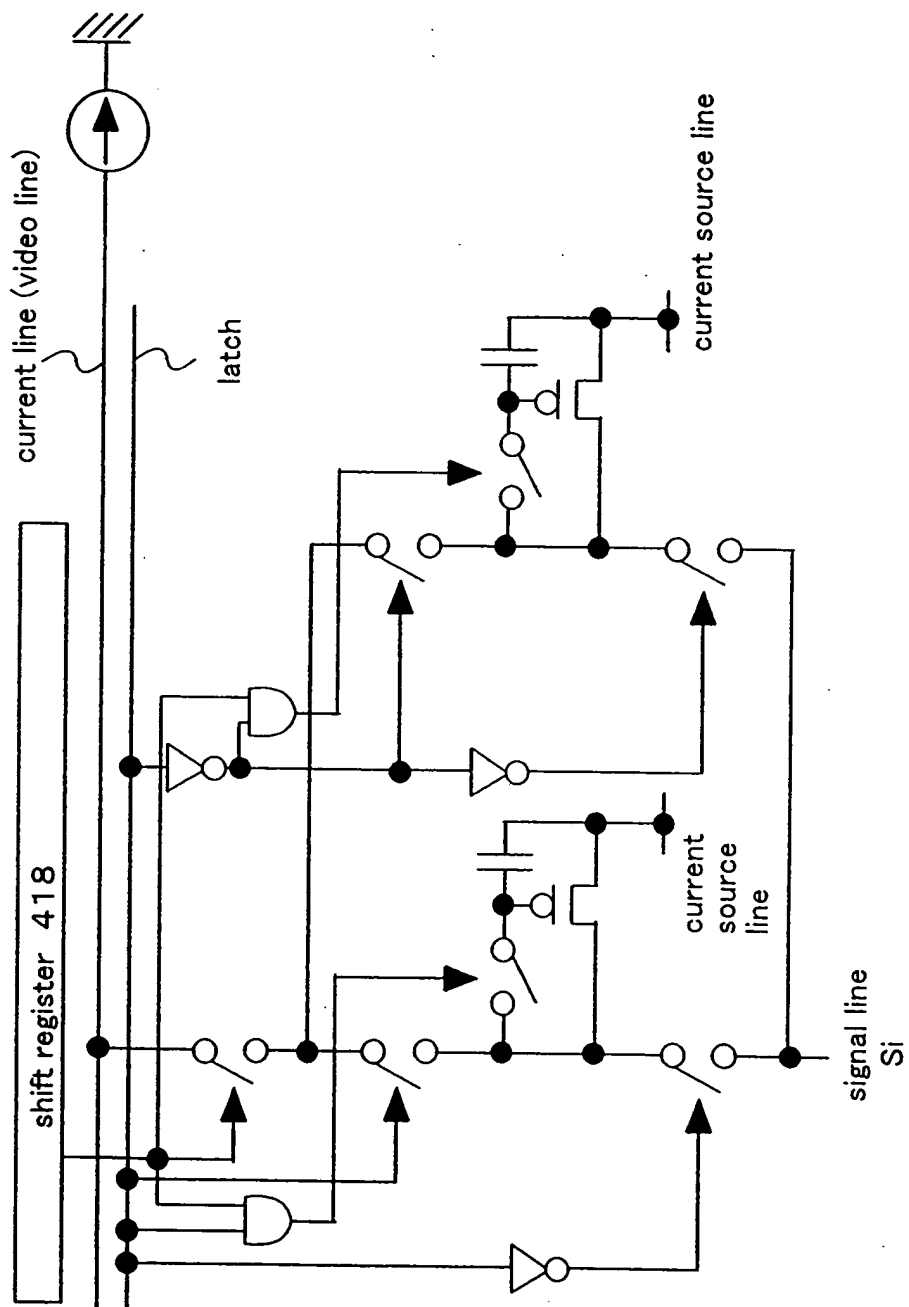


Fig. 36

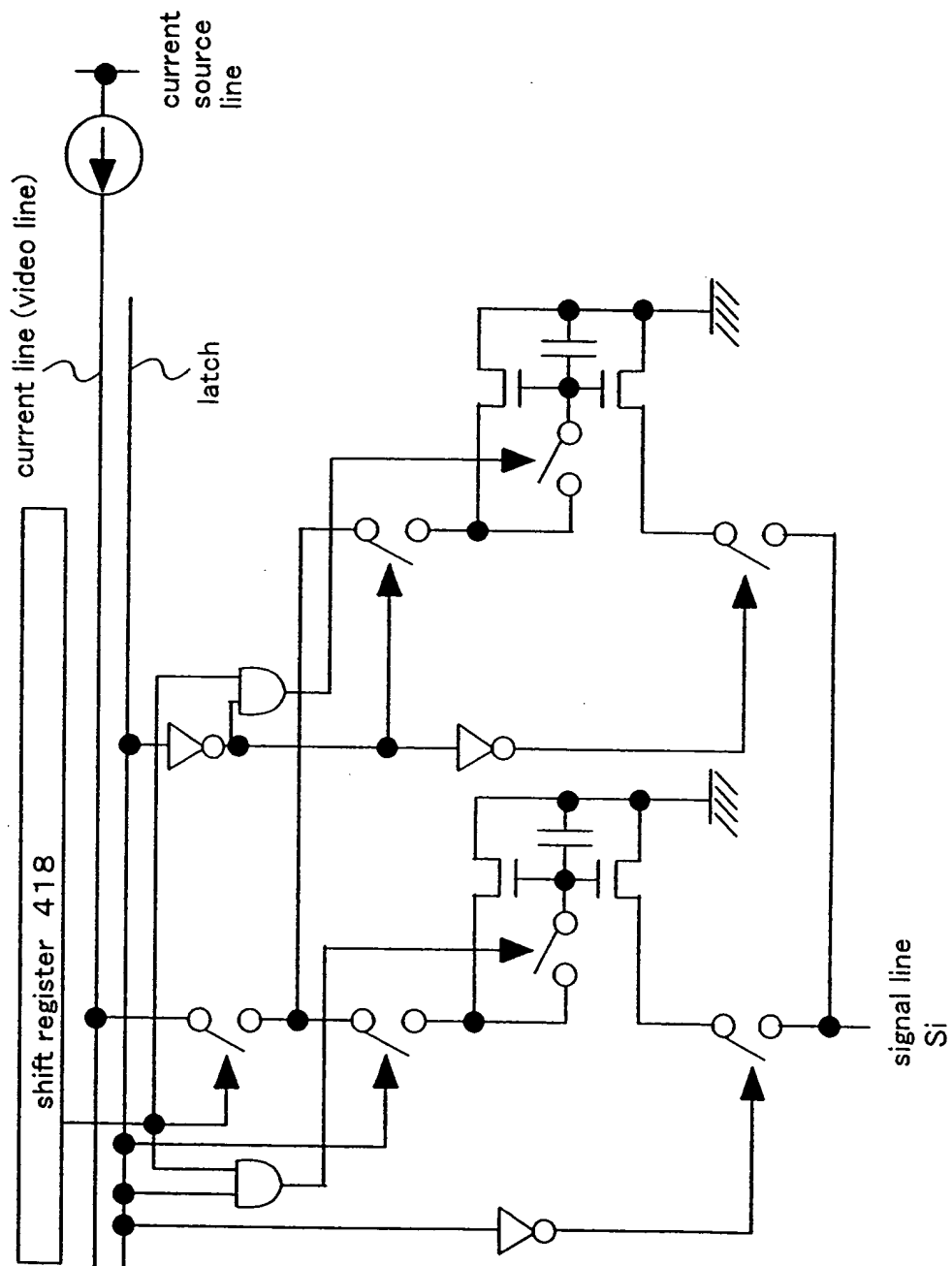


Fig. 37A

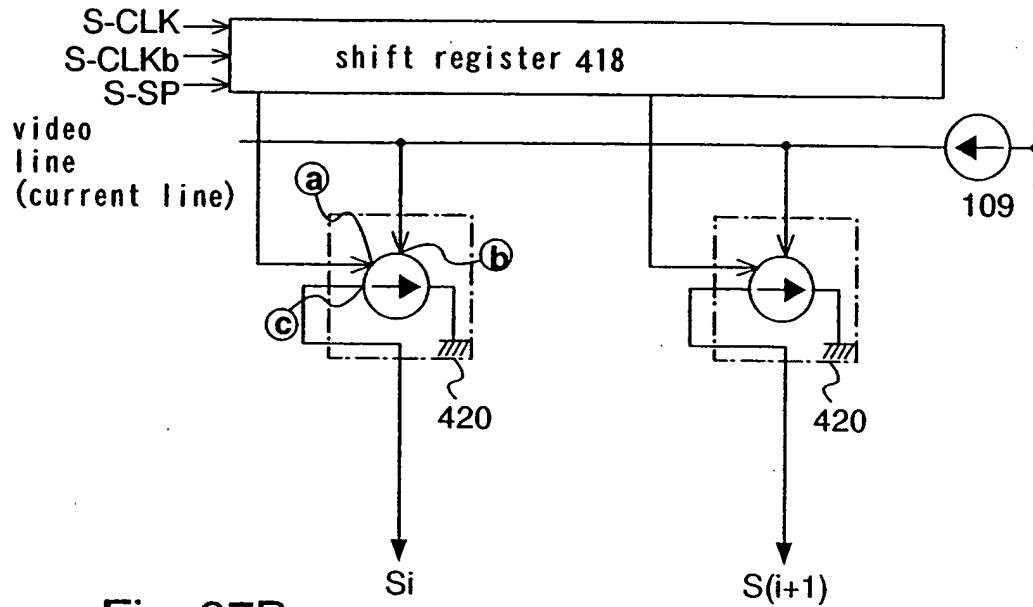


Fig. 37B

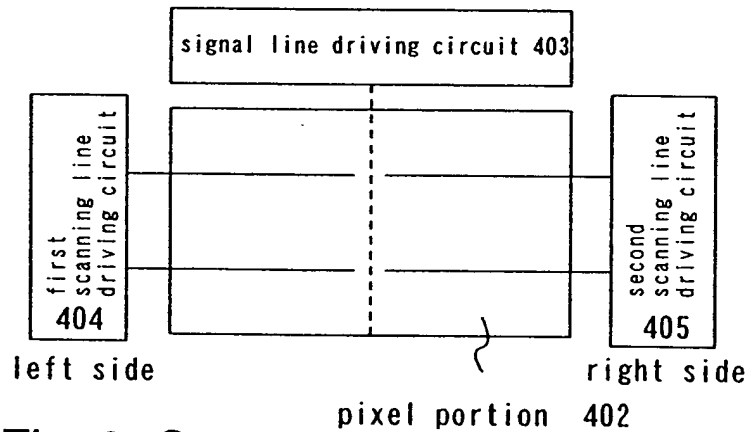


Fig. 37C

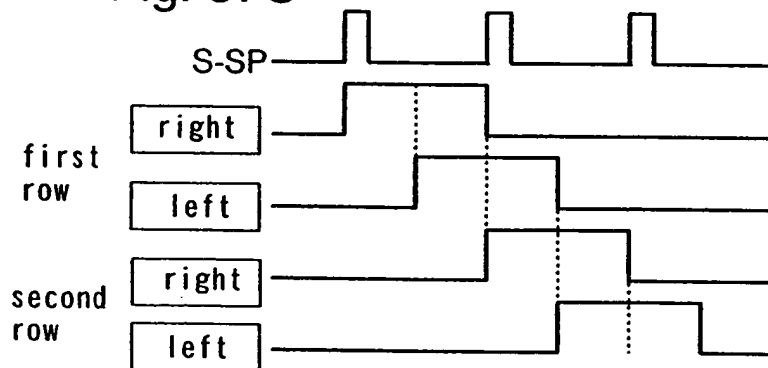


Fig. 38

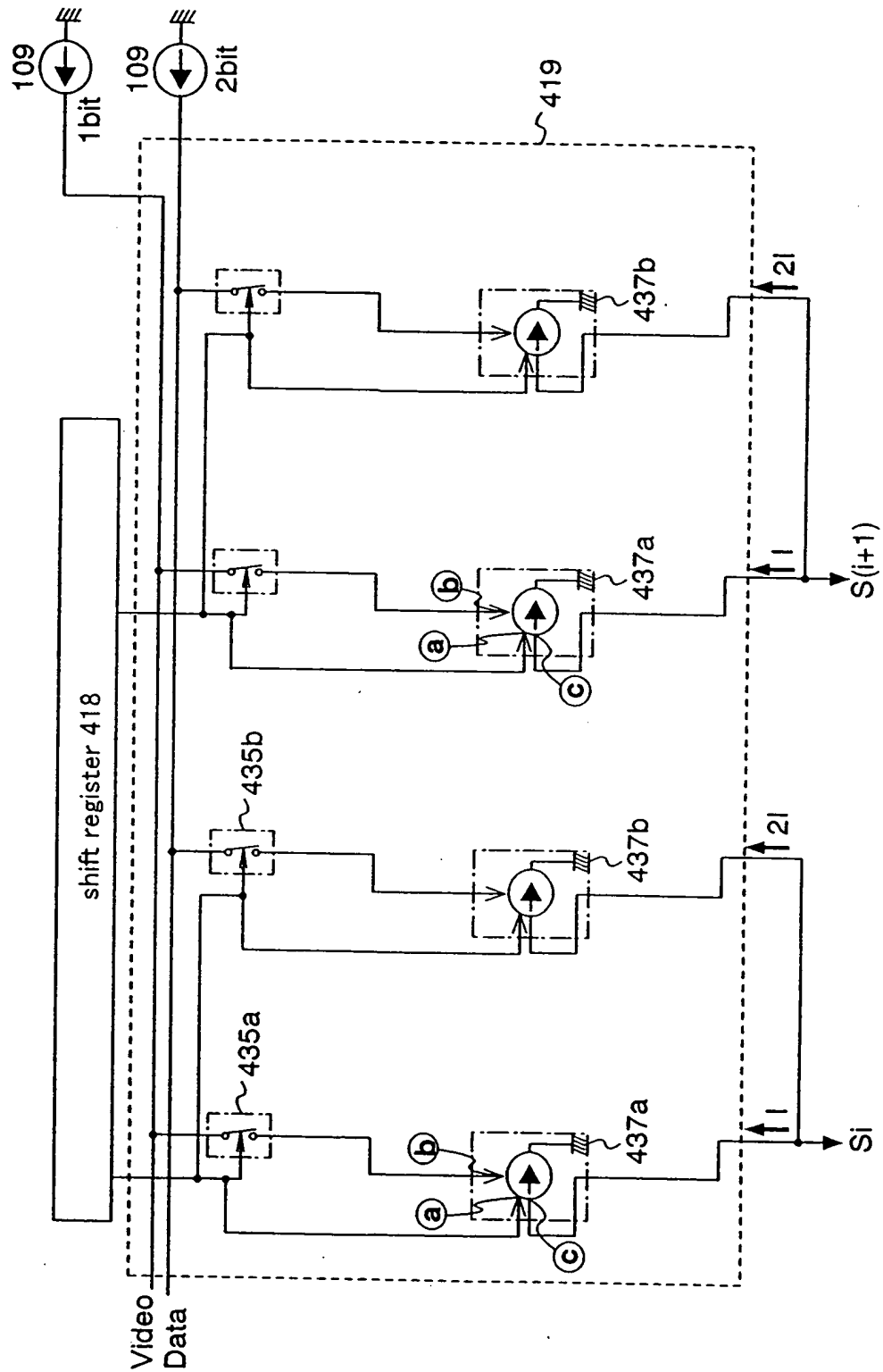


Fig. 39

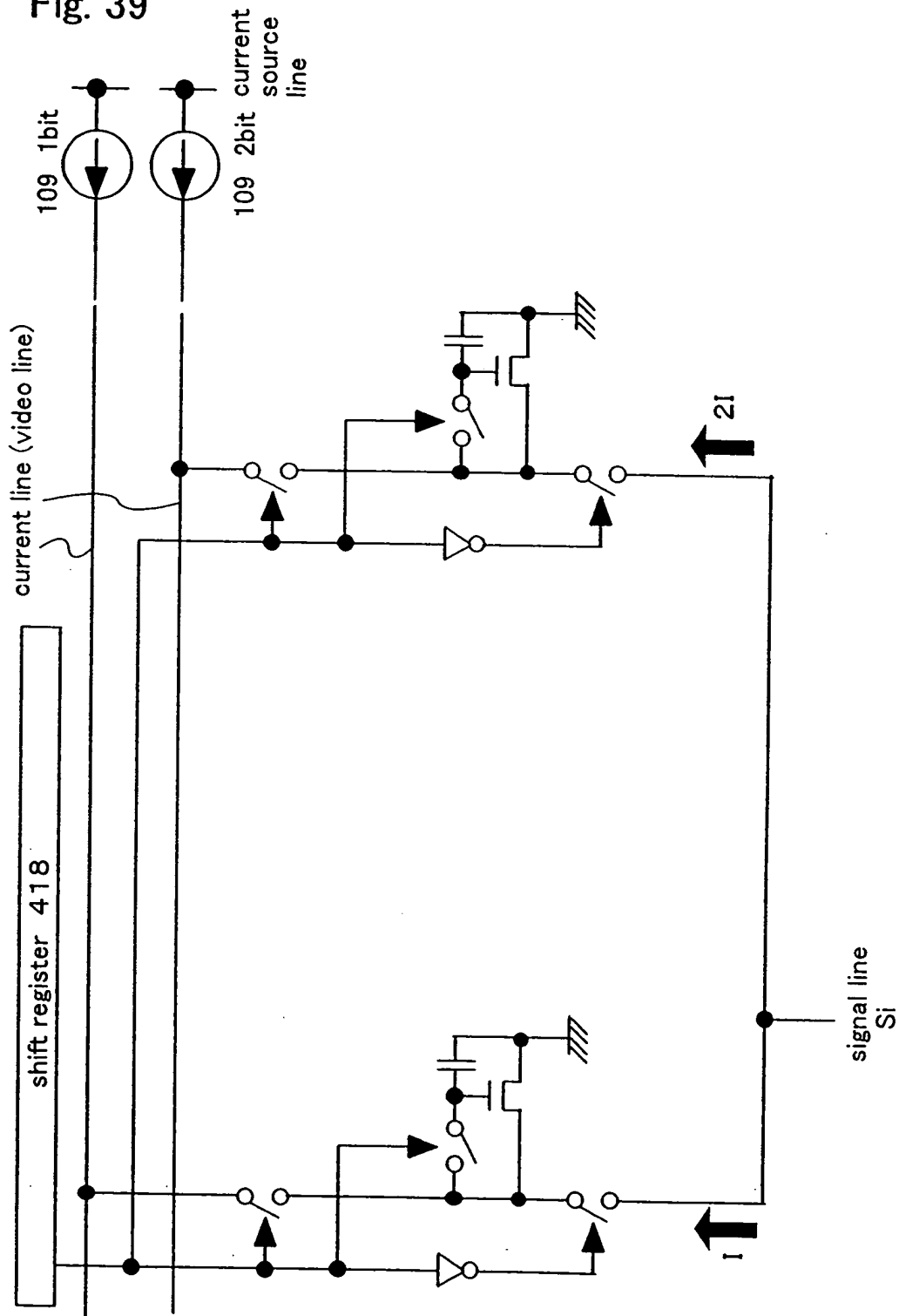


Fig. 40

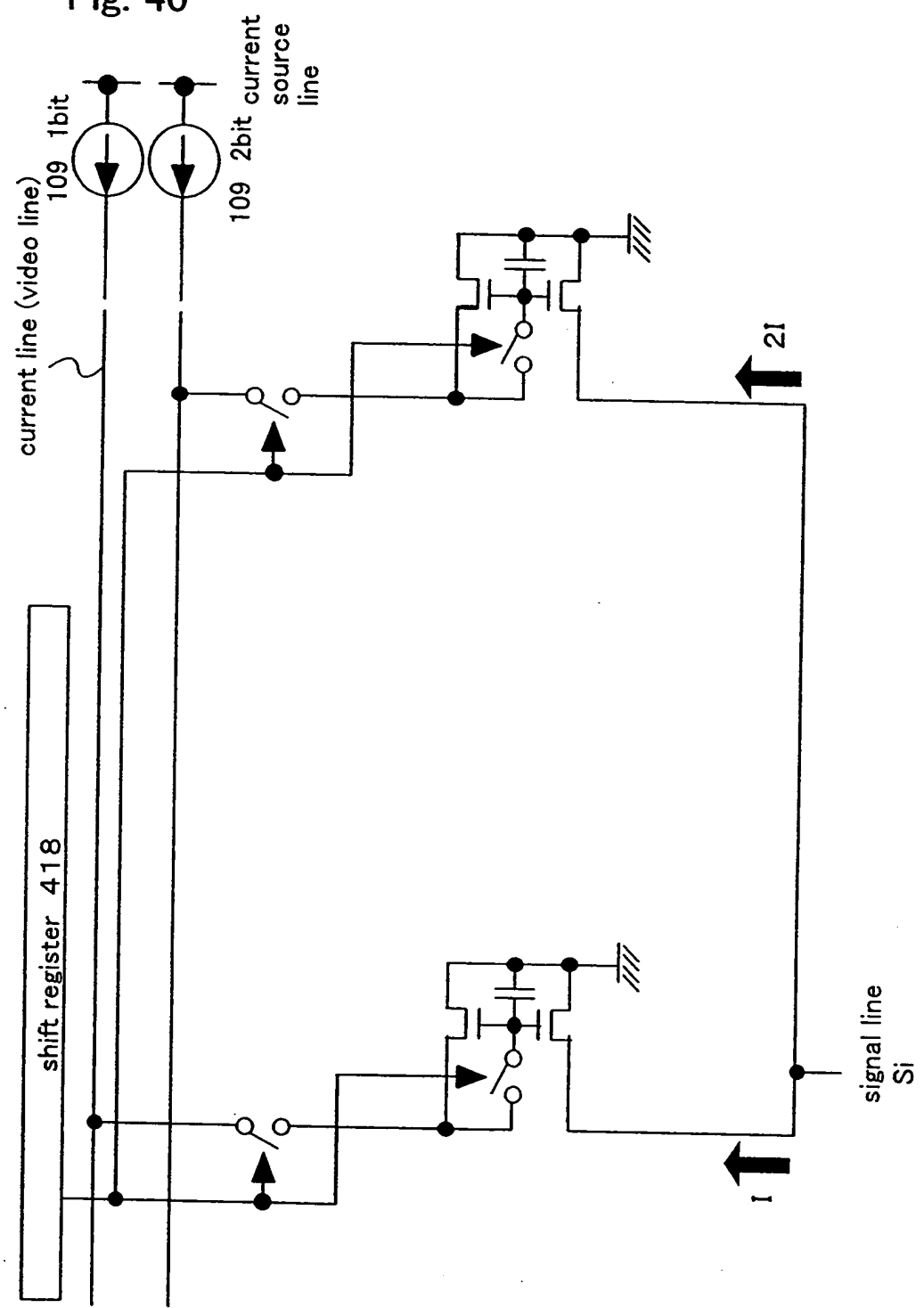


Fig. 41

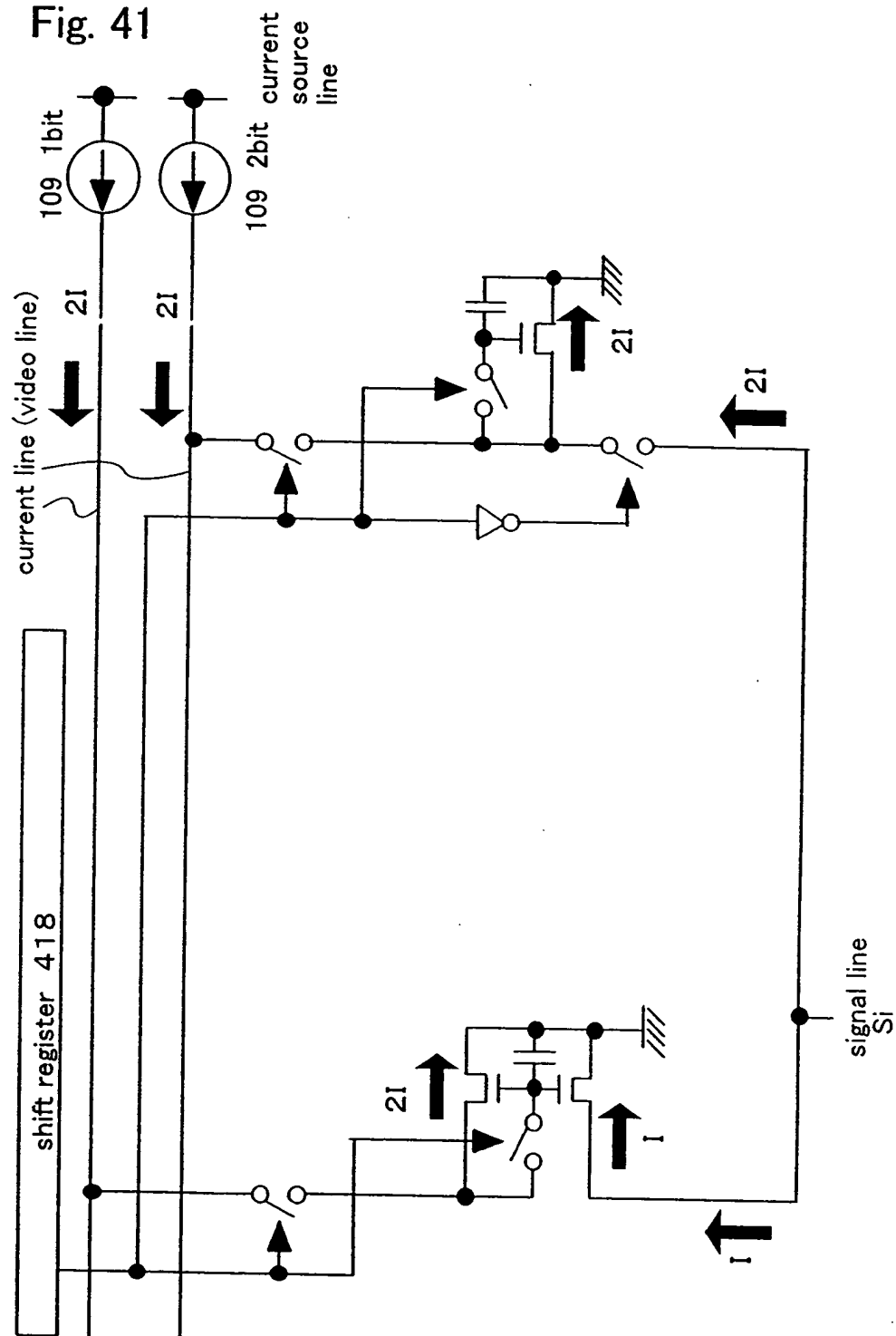


Fig. 42

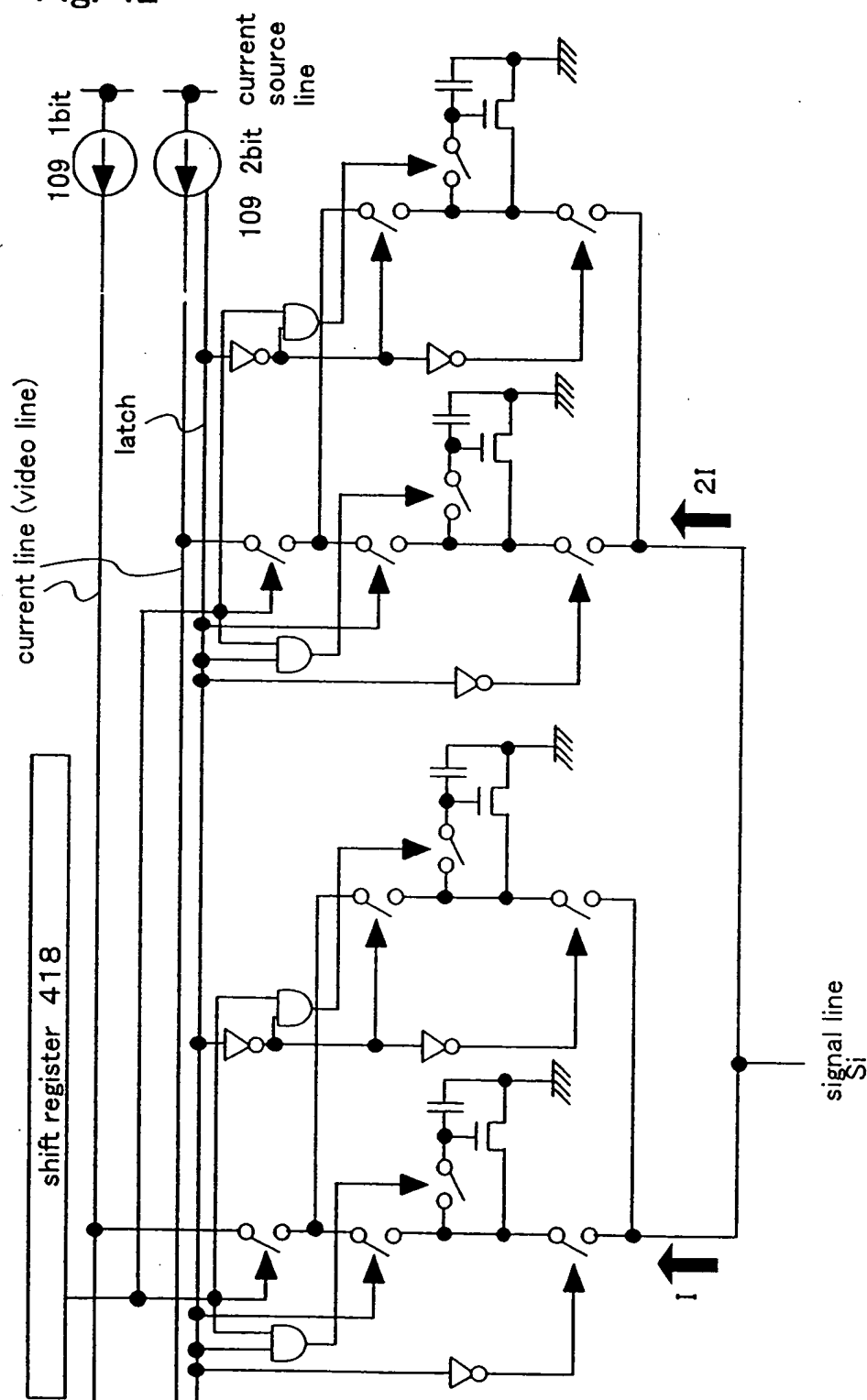


Fig. 43

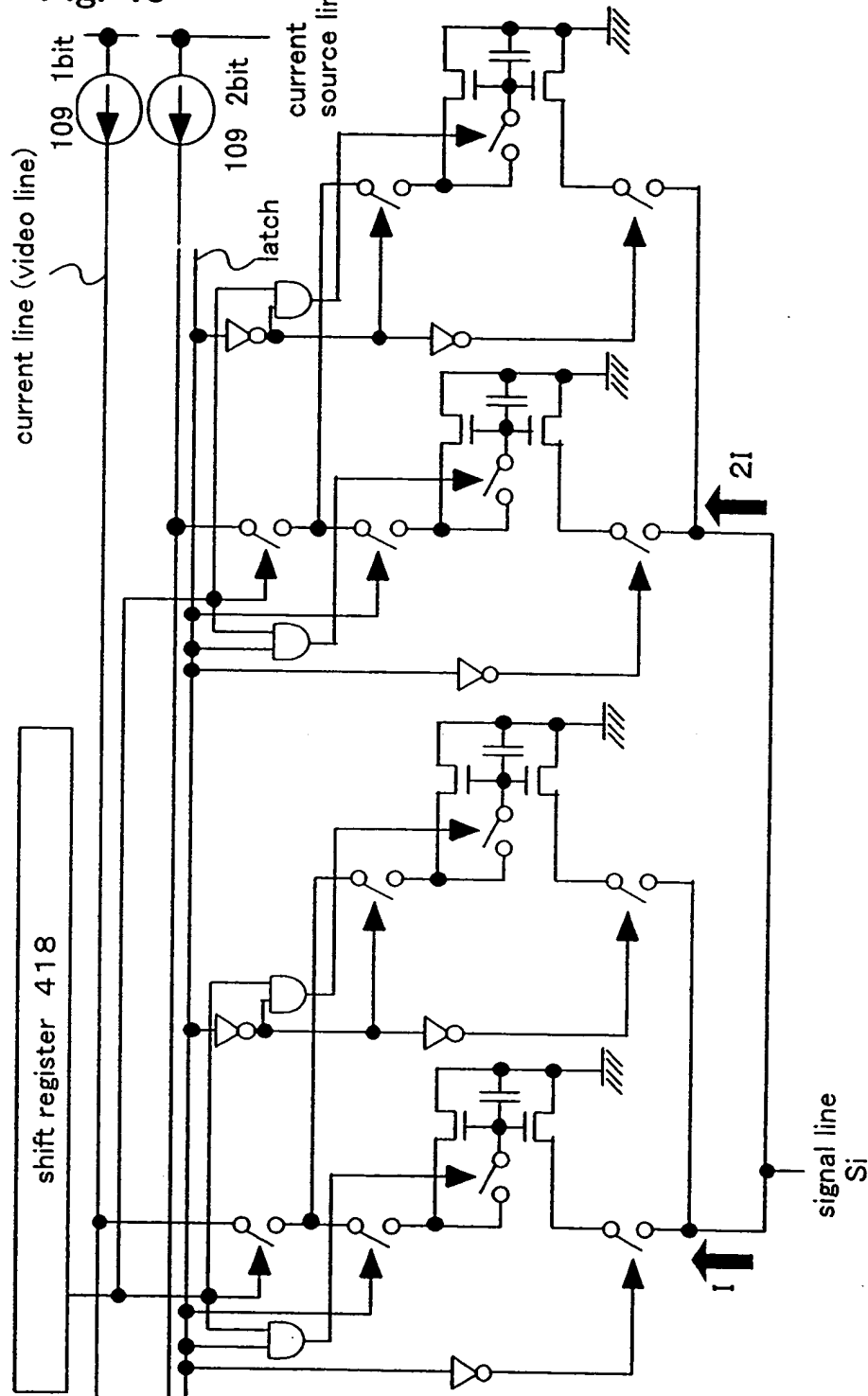


Fig. 44

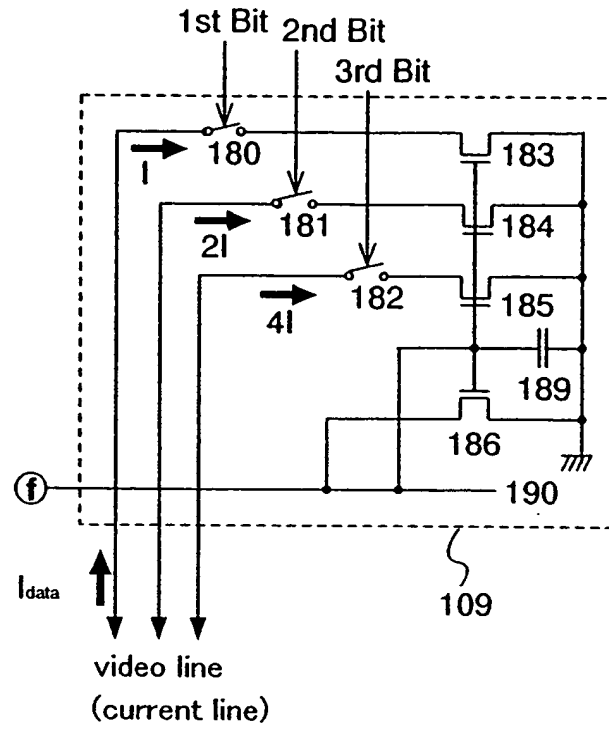


Fig. 45

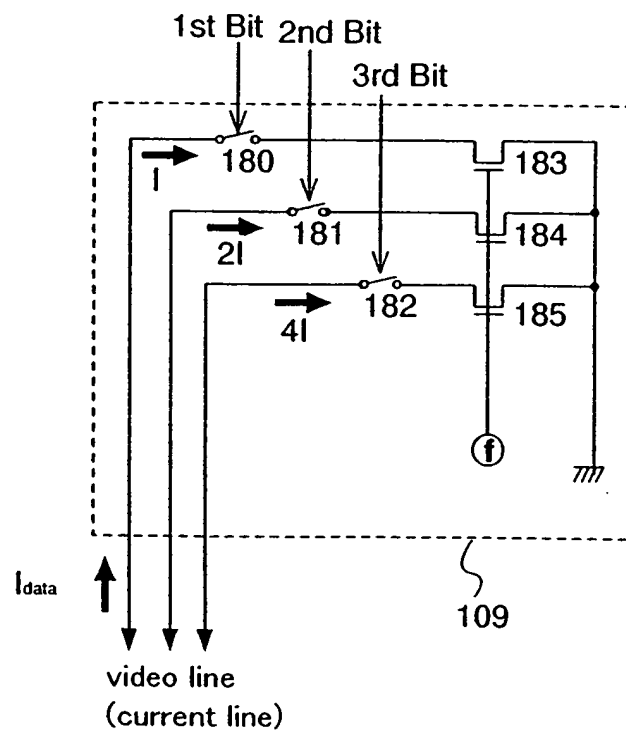


Fig. 46

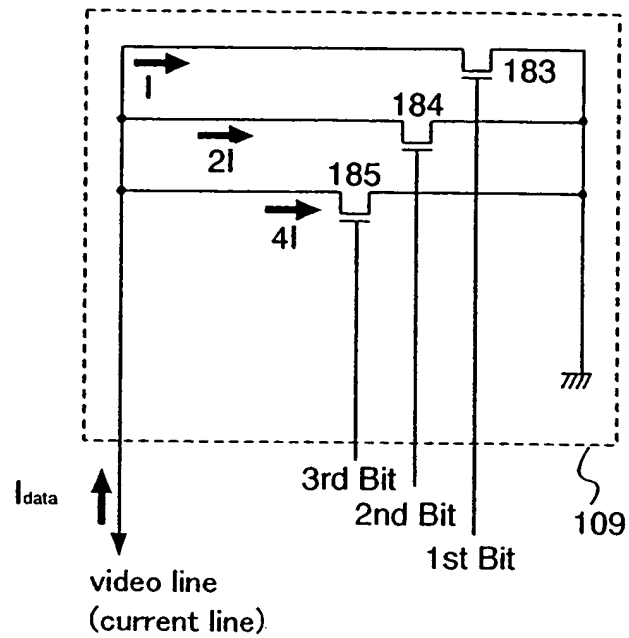


Fig. 47

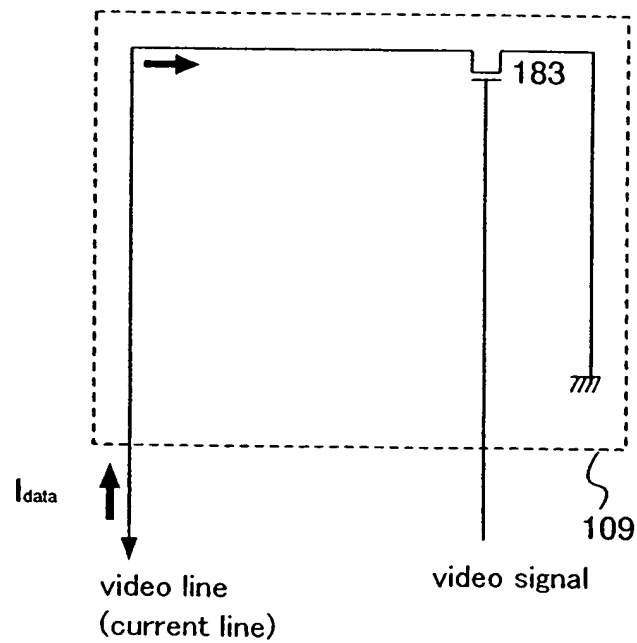


Fig. 48

44/46

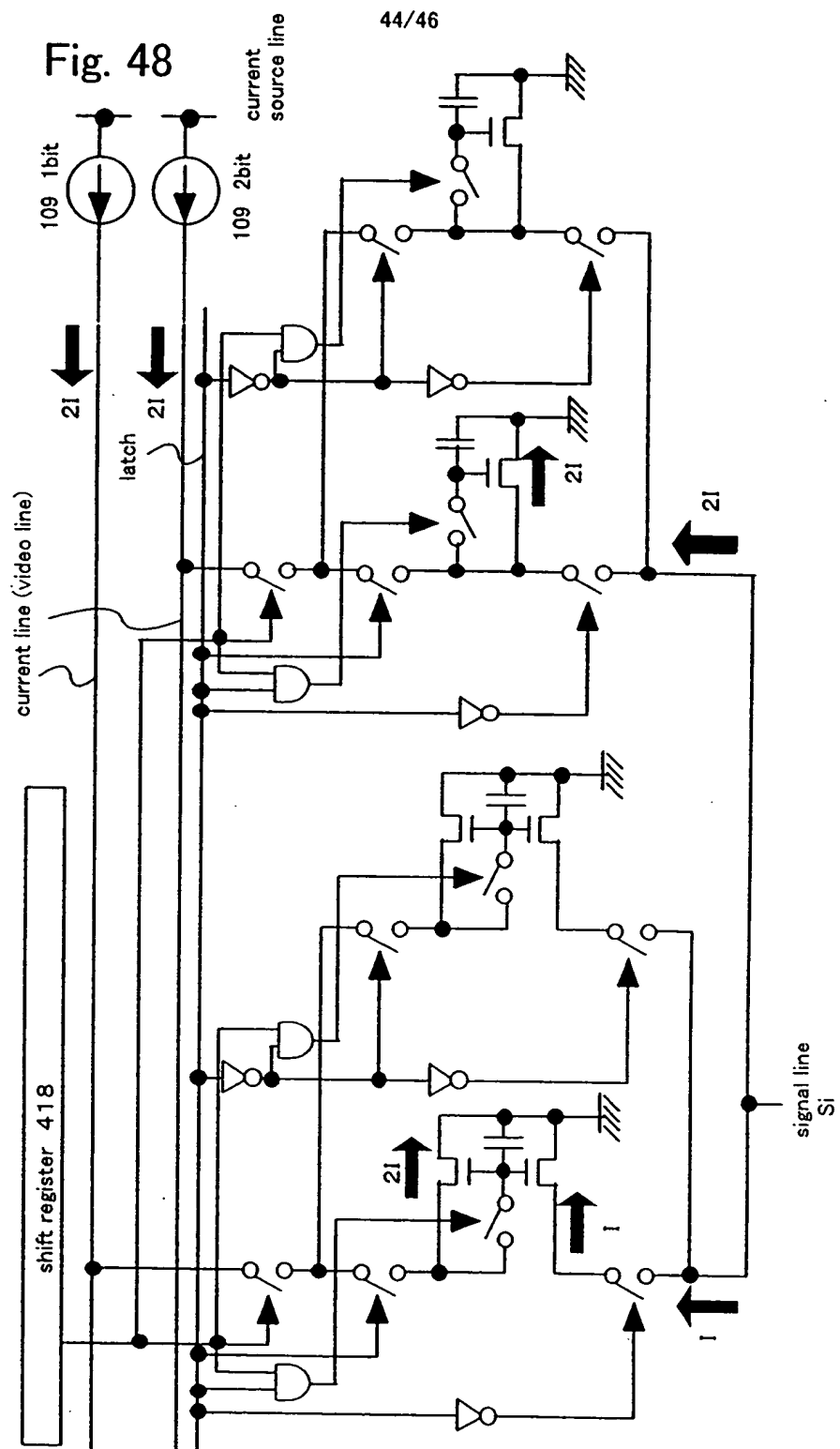


Fig. 49

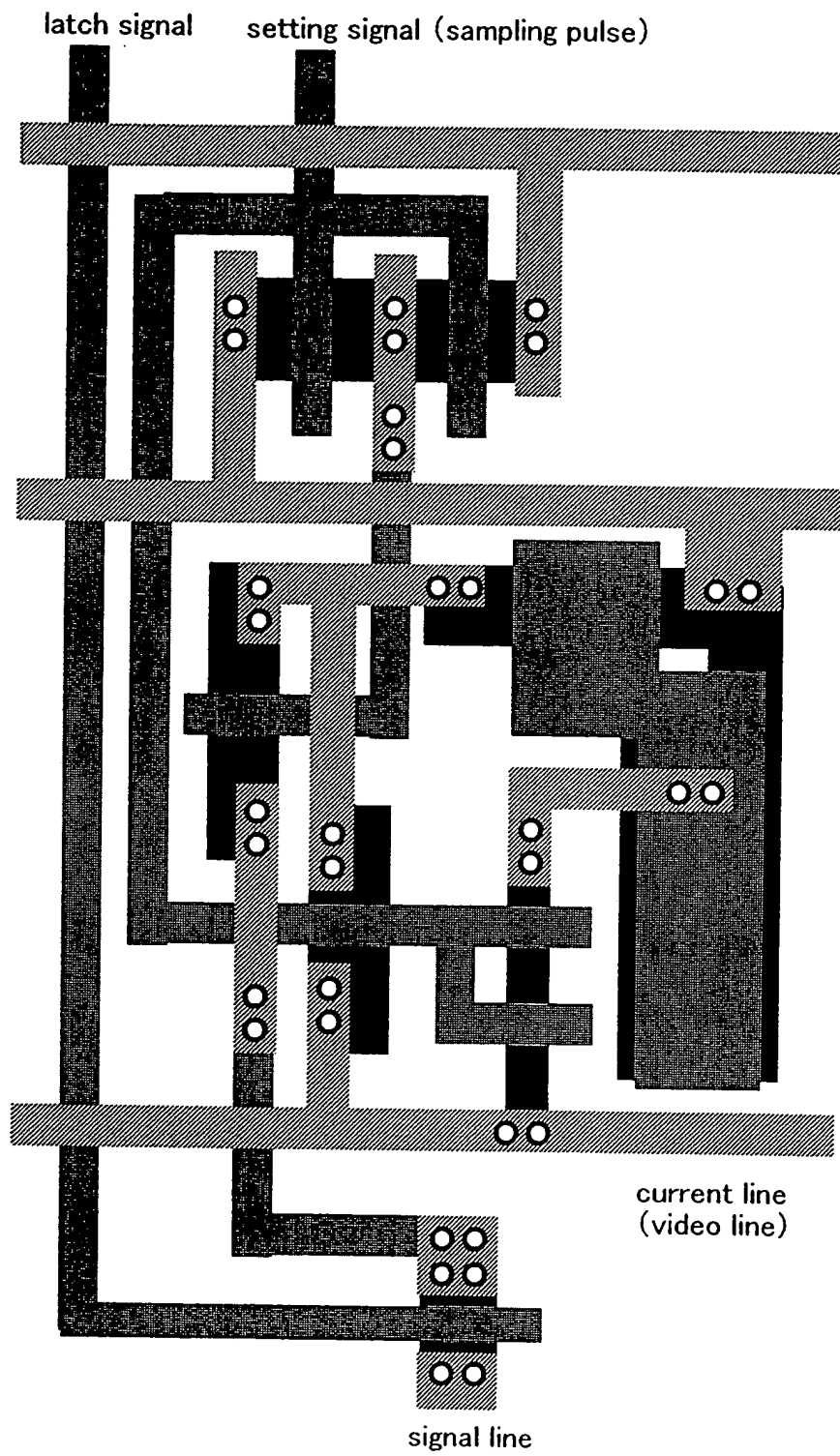


Fig. 50

